



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 42 26 070 A 1

51 Int. Cl.⁵:
G 11 C 29/00

21 Aktenzeichen: P 42 26 070.1
22 Anmeldetag: 6. 8. 92
43 Offenlegungstag: 9. 6. 93

DE 42 26 070 A 1

30 Unionspriorität: 32 33 31

06.12.91 JP 3-322734

71 Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

74 Vertreter:

Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

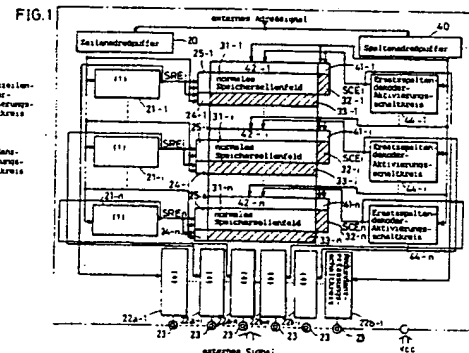
72 Erfinder:

Nakayama, Akio; Hirayama, Kazutoshi, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Halbleiterspeichereinrichtung mit Redundanzschaltkreis und Testverfahren zum Prüfen, ob der Redundanzschaltkreis in ihr benutzt wird oder nicht

57 In einer Halbleiterspeichereinrichtung mit einem Ersatzspeicherzellenfeld, einem Ersatzspaltendekoder (41-1 bis 41-n) und einem Ersatzzeilendekoder (24-1 bis 24-n) als Redundanzschaltkreise sind Redundanzerschaltkreise (22a-1 bis 22a-n, 22b-1 bis 22b-n) zum Prüfen, ob die Redundanzschaltkreise benutzt werden oder nicht, nachdem die Halbleiterspeichereinrichtung als Produkt vervollständigt ist, so gebildet, daß sie bestimmte Strom- oder Spannungssignale in Abhängigkeit von einem Ausgangssignal auf einem vorbestimmten Logikpegel von einem Ersatzzeilendekoder-Aktivierungsschaltkreis (21-1 bis 21-n) oder einem Ersatzspaltendekoder-Aktivierungsschaltkreis (44-1 bis 44-n) an externe Anschlüsse (23) liefern können, die anzeigen, daß die Redundanzschaltkreise benutzt werden. Wenn der Halbleiterspeichereinrichtung ein externes Adreßsignal zugeführt wird, wird ein Signal auf einem Logikpegel entsprechend der Tatsache, ob die Redundanzschaltkreise benutzt werden oder nicht, automatisch in Abhängigkeit von einem Ausgangssignal des Ersatzzeilendekoder-Aktivierungsschaltkreises oder des Ersatzspaltendekoder-Aktivierungsschaltkreises in den Redundanzerschaltkreisen verriegelt, so daß es unnötig ist, den Zustand der elektrischen Verbindung in den Redundanzerschaltkreisen während der Herstellung entsprechend dem Umstand einzustellen, ob die Redundanzschaltkreise benutzt werden oder nicht.



DE 42 26 070 A 1

Die Erfindung betrifft Halbleiterspeichereinrichtungen und insbesondere eine Halbleiterspeichereinrichtung, die einen Redundanzschaltkreis aufweist.

In letzter Zeit ist aufgrund des Anstiegs der Speicherkapazität von Halbleiterspeichereinrichtungen die Anzahl der Speicherzellen, die in einem Halbleiterspeicher auf einem Chip gebildet werden, erheblich größer geworden. Durch einen solchen Anstieg der Anzahl von Speicherzellen ist das Verhältnis von Produkten ohne Fehler in ihren Speicherzellenfeldbereichen zu allen hergestellten Halbleiterspeicherchips (die sogenannte "Ausbeute") erheblich gesunken.

Daher weisen die meisten neueren Halbleiterspeichereinrichtungen zusätzlich zu den Speicherzellenfeldern, die ursprünglich benutzt werden sollen (im weiteren als normale Speicherzellenfelder bezeichnet), Speicherzellenfelder auf (im weiteren als Ersatzspeicherzellenfelder bezeichnet), die anstelle der normalen Speicherzellenfelder verwendet werden sollen, wenn Defekte auftreten, die ihre Ursache in der Herstellung haben.

Tatsächlich wird eine der Speicherzellenzeilen oder Speicherzellenspalten in einem Ersatzspeicherzellenfeld anstelle einer Speicherzellenzeile oder Speicherzellenspalte benutzt, zu der eine defekte Speicherzelle in einem normalen Speicherzellenfeld gehört.

Fig. 10 zeigt ein schematisches Blockdiagramm der Gesamtkonfiguration einer herkömmlichen Halbleiterspeichereinrichtung mit Ersatzspeicherzellenfeldern. Fig. 10 zeigt hauptsächlich die Schaltungsabschnitte zur Steuerung des Betriebs der normalen Speicherzellenfelder und Ersatzspeicherzellenfelder als Peripherieschaltkreise dieser Speicherzellenfelder.

Unter Bezugnahme auf die Fig. 10 erfolgt nun eine Beschreibung der Konfiguration der herkömmlichen Halbleiterspeichereinrichtung. Beschrieben wird hauptsächlich der Schaltkreisbetrieb der Halbleiterspeichereinrichtung zum Zweck der geeigneten Benutzung der normalen Speicherzellenfelder und der Ersatzspeicherzellenfelder.

Jedes der Mehrzahl normaler Speicherzellenfelder 31-1 bis 31-n weist zwei Arten von Ersatzspeicherzellenfeldern (32-1 bis 32-n, 33-1 bis 33-n auf.

Fig. 11 zeigt ein Diagramm der Konfiguration eines beliebigen der normalen Speicherzellenfelder 31-1 bis 31-n und der hinzugefügten Ersatzspeicherzellenfelder.

Wie in Fig. 11 gezeigt ist, weist jedes der normalen Speicherzellenfelder 31-1 bis 31-n Speicherzellen MC, die in einer Mehrzahl von Zeilen und Spalten angeordnet sind, Wortleitungen WL, die jeweils entsprechend den Speicherzellenzeilen gebildet sind, und Bitleitungen (oder Bitleitungspaare) BL, die jeweils entsprechend den Speicherzellenspalten gebildet sind, auf. Jede der Wortleitungen WL ist mit allen Speicherzellen MC verbunden, die in der entsprechenden Speicherzellenzeile enthalten sind, und jede Bitleitung (oder jedes Bitleitungspaar) BL ist mit allen Speicherzellen MC verbunden, die in der entsprechenden Speicherzellenspalte gebildet sind.

Jedes der Ersatzspeicherzellenfelder 32-1 bis 32-n weist die Mehrzahl von Wortleitungen WL zusammen mit einem entsprechenden der normalen Speicherzellenfelder 31-1 bis 31-n auf, und umfaßt ferner unabhängig vom entsprechenden der normalen Speicherzellenfelder 31-1 bis 31-n mindestens eine (oder ein Paar von) Ersatzbitleitung (oder Ersatzbitleitungen) SBL. Eine Ersatzspeicherzellenspalte mit Ersatzspeicherzellen SMC

derselben Anzahl wie die Zahl der Wortleitungen WL ist entsprechend jeder Ersatzbitleitung (oder Ersatzbitleitungspaar) SBL gebildet. Jede der Ersatzspeicherzellen SMC ist mit einer entsprechenden Ersatzbitleitung (oder Ersatzbitleitungspaar) SBL und einer entsprechenden der Wortleitungen WL verbunden.

Jedes der Ersatzspeicherzellenfelder 33-1 bis 33-n weist eine Mehrzahl von Bitleitungen (oder Bitleitungspaaren) BL zusammen mit einem entsprechenden der normalen Speicherzellenfelder 31-1 bis 31-n auf, und umfaßt ferner unabhängig vom entsprechenden der normalen Speicherzellenfelder 31-1 bis 31-n mindestens eine Ersatzwortleitung SWL. Eine Ersatzspeicherzellenzeile mit Ersatzspeicherzellen SMC derselben Anzahl wie die Zahl der Bitleitungen (oder Bitleitungspaare) BL ist entsprechend jeder Ersatzwortleitung SWL gebildet. Jede der Ersatzspeicherzellen SMC ist mit einer entsprechenden Bitleitung (oder Bitleitungspaar) SL und einer entsprechenden der Ersatzwortleitungen SWL verbunden.

Wie in den Fig. 10 und 11 dargestellt ist, sind die normalen Zeilendekoder 25-1 bis 25-n und die normalen Spaltendekoder 42-1 bis 42-n entsprechend den normalen Speicherzellenfeldern 31-1 bis 31-n gebildet, und es sind Ersatzzeilendekoder 24-1 bis 24-n und Ersatzspaltendekoder 41-1 bis 41-n entsprechend den Ersatzspeicherzellenfeldern 33-1 bis 33-n bzw. Ersatzspeicherzellenfeldern 32-1 bis 32-n geschaffen.

Jeder der normalen Zeilendekoder 25-1 bis 25-n aktiviert selektiv eine der Wortleitungen WL in einem entsprechenden der normalen Speicherzellenfelder 31-1 bis 31-n. Das ermöglicht die Übertragung eines Datensignals zwischen den jeweiligen Speicherzellen MC, die mit der einen Wortleitung WL verbunden sind, und einer entsprechenden Bitleitung BL.

Jeder der normalen Spaltendekoder 42-1 bis 42-n ermöglicht es, ein Signal von einer der Bitleitungen (oder Bitleitungspaare) BL in einem entsprechenden der normalen Speicherzellenfelder 31-1 bis 31-n abzunehmen und ein externes Datensignal an die eine Bitleitung (oder Bitleitungspaar) BL anzulegen. Entsprechend wird es möglich, Daten in eine Speicherzelle MC unter den mit der einen Bitleitung (oder Bitleitungspaar) BL verbundenen Speicherzellen MC, die mit der aktivierten Wortleitung WL verbunden ist, zu schreiben oder Daten aus ihr zu lesen.

Jeder der Ersatzzeilendekoder 24-1 bis 24-n aktiviert selektiv eine der Ersatzwortleitungen SWL in einem entsprechenden der Ersatzspeicherzellenfelder 33-1 bis 33-n. Das ermöglicht die Übertragung eines Datensignals zwischen den jeweiligen Ersatzspeicherzellen MC, die mit der einen Ersatzwortleitung SWL verbunden sind, und einer entsprechenden Bitleitung BL.

Jeder der Ersatzspaltendekoder 41-1 bis 41-n ermöglicht es, ein Datensignal von einer der Ersatzbitleitungen (oder Ersatzbitleitungspaare) SBL in einem entsprechenden der Ersatzspeicherzellenfelder 32-1 bis 32-n abzunehmen und ein externes Datensignal an die eine Bitleitung (oder Bitleitungspaar) SBL anzulegen.

Ein jeder der normalen Zeilendekoder 25-1 bis 25-n und ein entsprechender der Ersatzzeilendekoder 24-1 bis 24-n arbeiten jedoch nicht gleichzeitig, und sie werden so gesteuert, daß nur einer von ihnen arbeitet. In gleicher Weise arbeiten ein jeder der normalen Spaltendekoder 42-1 bis 42-n und ein entsprechender der Ersatzspaltendekoder 41-1 bis 41-n nicht gleichzeitig, und sie werden so gesteuert, daß nur einer von ihnen arbeitet.

Zum Beispiel ist es für den Fall, daß es in derselben Zeile oder einer der Wortleitungen WL in einem beliebigen der normalen Speicherzellenfelder 31-1 bis 31-n zwei oder mehr defekte Speicherzellen gibt, erforderlich, daß eine der Ersatzspeicherzellenzeilen in einem der Ersatzspeicherzellenfelder 33-1 bis 33-n, das entsprechend diesem normalen Speicherzellenfeld gebildet ist, anstelle der Speicherzellenzeile, die die defekten Speicherzellen enthält, oder die Speicherzellenzeile, die entsprechend der defekten Wortleitung WL gebildet ist, verwendet wird.

In einem solchen Fall wird daher vom normalen Zeilendekoder und dem Ersatzzeilendekoder entsprechend diesem normalen Speicherzellenfeld mit der defekten Speicherzellenzeile der Ersatzzeilendekoder in Abhängigkeit von einem externen Adreßsignal aktiviert, das die defekte Speicherzellenzeile angibt.

Gleichzeitig wird es in einem der Ersatzspeicherzellenfelder 32-1 bis 32-n entsprechend diesem normalen Speicherzellenfeld möglich, ein Datensignal zwischen den jeweiligen Ersatzspeicherzellen SMC, die mit einer der Wortleitungen WL verbunden sind, die durch den Betrieb eines entsprechenden der normalen Zeilendekoder 25-1 bis 25-n aktiviert ist, und einer entsprechenden der Ersatzbitleitungen (oder Bitleitungspaare) SBL zu übertragen. Daher wird es möglich, Daten statt in die defekte Speicherzellenzeile zu schreiben oder aus ihr zu lesen in eine der Ersatzspeicherzellenzeilen in einem der Ersatzspeicherzellenfelder 33-1 bis 33-n, die entsprechend den normalen Speicherzellenfeldern gebildet sind, zu schreiben oder daraus zu lesen. Genauer gesagt wird die defekte Speicherzellenzeile durch eine nicht-defekte Ersatzspeicherzellenzeile ersetzt.

In gleicher Weise ist es für den Fall, daß es in derselben Spalte zwei oder mehr defekte Speicherzellen MC gibt, oder eine der Bitleitungen BL in einem beliebigen der normalen Speicherzellenfelder 31-1 bis 31-n defekt ist, erforderlich, daß eine der Ersatzspeicherzellenspalten in einem der Ersatzspeicherzellenfelder 32-1 bis 32-n, das entsprechend diesem normalen Speicherzellenfeld gebildet ist, anstelle der Speicherzellenspalte, die die defekte Speicherzelle MC enthält, oder die Speicherzellenspalte, die entsprechend der defekten Bitleitung BL gebildet ist, verwendet wird.

In einem solchen Fall wird daher von einem der normalen Spaltendekoder 42-1 bis 42-n und einem der Ersatzzeilendekoder 41-1 bis 41-n entsprechend dem normalen Speicherzellenfeld mit dieser Speicherzellenspalte der Ersatzzeilendekoder in Abhängigkeit von einem externen Adreßsignal aktiviert, das die defekte Speicherzellenspalte angibt.

Gleichzeitig ermöglicht es in einem der Ersatzspeicherzellenfelder 33-1 bis 33-n entsprechend diesem normalen Speicherzellenfeld der Betrieb eines entsprechenden der normalen Spaltendekoder 42-1 bis 42-n Daten in diejenige Ersatzspeicherzelle SMC aller Ersatzspeicherzellen SMC, die mit einer Bitleitung (oder Bitleitungspaar) SBL verbunden sind, zu schreiben oder aus dieser zu lesen, die mit der aktivierten Ersatzwortleitung SWL verbunden ist. Daher wird es möglich, Daten statt in die defekte Speicherzellenspalte zu schreiben oder aus ihr zu lesen in eine nicht-defekte Ersatzspeicherzellenspalte zu schreiben oder daraus zu lesen. Genauer gesagt wird die defekte Speicherzellenspalte durch eine nicht-defekte Ersatzspeicherzellenspalte ersetzt.

Somit wird eine defekte Speicherzellenzeile und eine defekte Speicherzellenspalte in jedem der normalen

Speicherzellenfelder 31-1 bis 31-n ersetzt durch eine Ersatzspeicherzellenzeile in einem der ersten Ersatzspeicherzellenfelder 33-1 bis 33-n, die entsprechend dem normalen Speicherzellenfeld gebildet ist, bzw. durch eine Ersatzspeicherzellenspalte in einem der zweiten Ersatzspeicherzellenfelder 32-1 bis 32-n, die entsprechend dem normalen Speicherzellenfeld gebildet ist.

Um diese Ersetzung auszuführen, sind, wie in Fig. 10 gezeigt ist, Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n entsprechend jeweils den Ersatzzeilendekodern 24-1 bis 24-n und Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n entsprechend jeweils den Ersatzspaltendekodern 41-1 bis 41-n gebildet.

Jeder der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n gibt ein Steuersignal (SRE1—SREn) in Abhängigkeit von einem Ausgangssignal des Zeilenadreßpuffers 20 aus zum Aktivieren eines entsprechenden der Ersatzzeilendekoder 24-1 bis 24-n oder eines der normalen Zeilendekoder 25-1 bis 25-n, der diesem Ersatzzeilendekoder entspricht, und zum Deaktivieren des anderen.

In gleicher Weise gibt jeder der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n ein Steuersignal (SCE1—SCEn) in Abhängigkeit von einem Ausgangssignal des Spaltenadreßpuffers 40 aus zum Aktivieren eines entsprechenden der Ersatzspaltendekoder 41-1 bis 41-n oder eines der normalen Zeilendekoder 42-1 bis 42-n, der diesem Ersatzzeilendekoder entspricht, und zum Deaktivieren des anderen.

Der Zeilenadreßpuffer 20 puffert ein Zeilenadreßsignal aus den externen Adreßsignalen, die über externe Anschlüsse 23 zugeführt werden, das angibt, in welcher Zeile in den normalen Speicherzellenfeldern 31-1 bis 31-n Daten in eine darin angeordnete Speicherzelle geschrieben oder aus ihr gelesen werden sollen, und führt das Signal den normalen Zeilendekodern 25-1 bis 25-n, den Ersatzzeilendekodern 24-1 bis 24-n und den Ersatzzeilendekoder-Aktivierungsschaltkreisen 21-1 bis 21-n zu.

Der Spaltenadreßpuffer 40 puffert ein Spaltenadreßsignal aus den oben angeführten externen Adreßsignalen, das angibt, in welcher Spalte in den normalen Speicherzellenfeldern 31-1 bis 31-n Daten in eine darin angeordnete Speicherzelle geschrieben oder aus ihr gelesen werden sollen, und führt das Signal den normalen Spaltendekodern 42-1 bis 42-n, den Ersatzspaltendekodern 41-1 bis 41-n und den Ersatzspaltendekoder-Aktivierungsschaltkreisen 44-1 bis 44-n zu.

Für den Fall, daß das Spaltenadreßsignal vom Spaltenadreßpuffer 40 eine defekte Speicherzellenspalte in einem der normalen Speicherzellenfelder 31-1 bis 31-n angibt, aktiviert der entsprechende der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n einen entsprechenden der Ersatzspaltendekoder 41-1 bis 41-n während der entsprechende der normalen Spaltendekoder 42-1 bis 42-n deaktiviert wird. Im anderen Fall, daß das Spaltenadreßsignal vom Spaltenadreßpuffer 40 eine nicht-defekte Speicherzellenspalte angibt, deaktiviert jeder der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n einen entsprechenden der Ersatzspaltendekoder 41-1 bis 41-n und aktiviert einen entsprechenden der normalen Spaltendekoder 42-1 bis 42-n.

Für den Fall, daß das Zeilenadreßsignal vom Zeilenadreßpuffer 20 eine defekte Speicherzellenzeile in einem der normalen Speicherzellenfelder 31-1 bis 31-n angibt, aktiviert in gleicher Weise der entsprechende der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1

bis 21-n einen entsprechenden der Ersatzzeilendekoder 24-1 bis 24-n während der entsprechende der normalen Zeilendekoder 25-1 bis 25-n deaktiviert wird. Im anderen Fall, daß das Zeilenadreibsignal vom Zeilenadreibpuffer 20 eine nicht-defekte Speicherzellenzeile angibt, deaktiviert jeder der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n einen entsprechenden der Ersatzzeilendekoder 24-1 bis 24-n und aktiviert einen entsprechenden der normalen Zeilendekoder 25-1 bis 25-n.

Jeder der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n weist eine Mehrzahl von Schmelzsicherungen auf. In jedem der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n ist eine der Mehrzahl von Schmelzsicherungen vorher selektiv abgeschmolzen, so daß sein Ausgangssignal (SCE1—SCEn) einen entsprechenden der Ersatzspaltendekoder 41-1 bis 41-n aktiviert, wenn ihm vom Spaltenadreibpuffer 40 ein Spaltenadreibsignal, das eine defekte Speicherzellenzeile in einem der normalen Speicherzellenfelder 31-1 bis 31-n angibt, zugeführt wird.

In gleicher Weise weist jeder der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n eine Mehrzahl von Schmelzsicherungen auf. In jedem der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n ist eine der Mehrzahl von Schmelzsicherungen vorher selektiv abgeschmolzen, so daß sein Ausgangssignal (SRE1—SREn) einen entsprechenden der Ersatzzeilendekoder 24-1 bis 24-n nur dann aktivieren kann, wenn ihm vom Zeilenadreibpuffer 20 ein Zeilenadreibsignal, das eine defekte Speicherzellenzeile in einem der normalen Speicherzellenfelder 31-1 bis 31-n angibt, zugeführt wird.

Jeder der Ersatzspaltendekoder 41-1 bis 41-n ermöglicht es, in Abhängigkeit von einem Spaltenadreibsignal vom Spaltenadreibpuffer 40 während einer Zeitspanne, in der der Ersatzspaltendekoder von einem entsprechenden der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n aktiviert wird, ein externes Datensignal der Ersatzbitleitung SBL zuzuführen, die einer der Speicherzellenspalten in einem entsprechenden der Ersatzspeicherzellenfelder 32-1 bis 32-n entspricht, und ein Datensignal von der Ersatzbitleitung SBL abzunehmen.

In gleicher Weise aktiviert jeder der Ersatzzeilendekoder 24-1 bis 24-n in Abhängigkeit von einem Zeilenadreibsignal vom Zeilenadreibpuffer 20 während einer Zeitspanne, in der der Ersatzzeilendekoder von einem entsprechenden der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n aktiviert wird, eine der Ersatzwortleitungen SWL, die entsprechend einer der Ersatzspeicherzellenzeilen in einem entsprechenden der Ersatzspeicherzellenfelder 33-1 bis 33-n gebildet sind.

Um es zu ermöglichen, die sogenannten Redundanzschaltkreise wie z. B. die Ersatzspeicherzellenfelder 32-1 bis 32-n, 33-1 bis 33-n, die Ersatzspaltendekoder 41-1 bis 41-n und die Ersatzzeilendekoder 24-1 bis 24-n, die die zum Ersetzen der normalen Speicherzellenfelder 31-1 bis 31-n, normalen Spaltendekoder 42-1 bis 42-n bzw. normalen Zeilendekoder 25-1 bis 25-n, auch tatsächlich zu benutzen, wird wie oben beschrieben eine Schaltung (Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n und Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n), die zur Aktivierung dieser Redundanzschaltkreise unter bestimmten Bedingungen gebildet sind, z. B. durch Abschmelzen von Sicherungen während der Herstellung in einen bestimmten Zustand versetzt.

Ob solche redundanten Schaltkreise benutzt werden

sollen oder nicht, stellt nun eine wichtige Information für die Ausführung einer Fehleranalyse in einer Halbleiterspeichereinrichtung nach der Herstellung dar. Daher weist eine Halbleiterspeichereinrichtung mit einem Redundanzschaltkreis im allgemeinen einen Redundanzerschaltungsschaltkreis 22 auf, um zu erfassen, ob von der Halbleiterspeichereinrichtung nach der Herstellung die Redundanzschaltkreise benutzt werden oder nicht.

Der Redundanzerschaltungsschaltkreis 22 ist in der Umgebung eines externen Anschlusses 23 gebildet und gibt an diesen externen Anschluß ein Signal ab, das anzeigt, ob die Redundanzschaltkreise benutzt werden oder nicht.

Fig. 12 zeigt ein schematisches Diagramm der Konfiguration eines herkömmlichen Redundanzerschaltungsschaltkreises 22. Unter Bezugnahme auf die Fig. 12 wird nun im folgenden die Konfiguration und der Betrieb des herkömmlichen Redundanzerschaltungsschaltkreises 22 beschrieben.

Ein herkömmlicher Redundanzerschaltungsschaltkreis weist einen N-Kanal MOS-Transistor 2, der zwischen einem vorbestimmten externen Anschluß 23 und Masse gebildet ist, und eine Reihenschaltung aus einer Schmelzsicherung 4 und einem N-Kanal MOS-Transistor 3, die parallel zum Transistor 2 geschaltet ist, auf. Die Gates der Transistoren 2 und 3 liegen auf Masse.

Der externe Anschluß 23 ist ursprünglich zum Übertragen eines Signals zwischen einem anderen Schaltkreisabschnitt als dem Redundanzerschaltungsschaltkreis 22 und der Umgebung gebildet und empfängt eine vorbestimmte negative Spannung zum Betreiben des Redundanzerschaltungsschaltkreises 22 nur dann, wenn geprüft werden soll, ob die Redundanzschaltkreise benutzt werden oder nicht.

Für den Fall, daß einer der Redundanzschaltkreise verwendet wird, d. h. für den Fall, daß eine der Sicherungen in den Ersatzspaltendekoder-Aktivierungsschaltkreisen 44-1 bis 44-n und Ersatzzeilendekoder-Aktivierungsschaltkreisen 21-1 bis 21-n, die in Fig. 11 gezeigt sind, vorher abgeschmolzen wurde, ist auch die Schmelzsicherung 4 im Redundanzerschaltungsschaltkreis durchtrennt.

Nun wird zuerst der Betrieb des Redundanzerschaltungsschaltkreises 22 für den Fall beschrieben, daß die Schmelzsicherung 4 nicht durchtrennt ist.

Wenn an den externen Anschluß 23 eine negative Spannung angelegt wird, deren Absolutwert V_F allmählich ansteigt, beginnt in der Verdrahtung A, die den externen Anschluß 23 mit dem Transistor 2 und der Sicherung 4 verbindet, zu dem Zeitpunkt ein Strom zu fließen, wenn der Absolutwert V_F größer als die jeweiligen Schwellenspannungen V_{th} der Transistoren 2 und 3 wird. Anschließend steigt der Stromfluß in der Verbindung A entsprechend der Erhöhung des Absolutwerts V_F an.

Fig. 13 zeigt einen Graphen der Beziehung zwischen dem Absolutwert V_F der negativen Spannung, die an den externen Anschluß 23 angelegt wird, und dem Stromfluß in der Verdrahtung A. In Fig. 13 ist der Absolutwert V_F auf der Abszisse und die Stärke I_F des Stromflusses in der Verdrahtung A auf der Ordinate angegeben.

Wie in den Fig. 12 und 13 gezeigt ist, sind die beiden Transistoren 2 und 3 gesperrt, so daß kein Strom zwischen dem externen Anschluß 23 und Masse GND fließt, bis der Absolutwert V_F der negativen Spannung, die an den externen Anschluß 23 angelegt wird, die jeweiligen Schwellenspannungen V_{th} der Transistoren 2

und 3 erreicht. Wenn der Absolutwert V_F jedoch die jeweiligen Schwellenspannungen V_{th} der Transistoren 2 und 3 übersteigt, werden die Transistoren 2 und 3 beide durchgeschaltet, so daß ein Strom mit einer Stärke der Summe des Stroms zwischen Source und Drain des Transistors 2 und des Stroms zwischen Source und Drain des Transistors 3 in der Verdrahtung A in Richtung von der Masse GND zum externen Anschluß 23 fließt. Wenn der Absolutwert V_F des Potentials des externen Anschlusses 23 angehoben wird, steigt auch das Potential zwischen Gate und Source der Transistoren 2 und 3 an, so daß der Stromfluß in der Verdrahtung A proportional zum Absolutwert V_F größer wird, wie durch die Linie 1 in Fig. 13 dargestellt ist.

Nun wird der Betrieb des Redundanzerschaltungsschaltkreises 22 für den Fall beschrieben, daß die Schmelzsicherung 4 durchtrennt ist.

Weil die Sicherung 4 durchtrennt ist, fließt unabhängig von der Polarität und dem Absolutwert des Potentials am externen Anschluß 23 kein Strom von der Masse GND über die Sicherung 4 und den Transistor 3 zur Verdrahtung A. Wenn eine negative Spannung an den externen Anschluß 23 angelegt wird, deren Absolutwert V_F allmählich ansteigt, ist der Transistor 2 gesperrt, so daß entsprechend in der Verdrahtung A kein Strom fließt, bis der Absolutwert V_F die Schwellenspannung V_{th} des Transistors 2 erreicht. Wenn der Absolutwert V_F jedoch die Schwellenspannung V_{th} des Transistors 2 erreicht, wird der Transistor 2 durchgeschaltet, so daß ein Strom mit einer Stärke entsprechend dem Strom zwischen Source und Drain des Transistors 2 in der Verdrahtung A in einer Richtung von der Masse GND zum externen Anschluß 23 fließt. Wenn der Absolutwert V_F des Potentials am externen Anschluß 23 in den Bereich der Schwellenspannung V_{th} des Transistors oder darüber angehoben wird, wird die Stärke des Stromflusses in der Verdrahtung A proportional zum Absolutwert V_F gesteigert, wie durch die Linie 2 in Fig. 3 dargestellt ist.

Wie oben beschrieben worden ist unterscheidet sich der Stromfluß in der Verdrahtung A für den Fall, daß eine negative Spannung mit einem Absolutwert V_{in} kleiner als die jeweiligen Schwellenspannungen V_{th} der Transistoren 2 und 3 an den externen Anschluß 23 angelegt wird, in Abhängigkeit davon, ob die Sicherung 4 unterbrochen ist oder nicht. Genauer gesagt wird vom externen Anschluß 23 erfaßt, daß der Strom I_1 für den Fall, daß die Sicherung 4 unterbrochen ist, kleiner ist als der Strom I_0 , der in der Verdrahtung A fließt, wenn die Sicherung 4 nicht unterbrochen ist.

Für den Fall, daß in der Halbleiterspeichereinrichtung nach der Herstellung geprüft wird, ob die Redundanzschaltkreise benutzt werden oder nicht, wird daher eine negative Spannung mit einem vorbestimmten Absolutwert V_{in} , der größer als die jeweiligen Schwellenspannungen V_{th} der Transistoren 2 und 3 ist, dem externen Anschluß 23 zugeführt, der mit dem Redundanzerschaltungsschaltkreis 22 verbunden ist. Dann wird die Stärke des Stromflusses im externen Anschluß 23 erfaßt. Wenn die erfaßte Stromstärke kleiner als ein vorbestimmter Referenzwert ist, wird die Sicherung 4 als unterbrochen betrachtet, so daß es möglich ist, zu bestimmen, daß einer der Redundanzschaltkreise in der Halbleiterspeichereinrichtung benutzt wird. Falls umgekehrt die erfaßte Stromstärke größer als der vorbestimmte Referenzwert ist, wird die Sicherung 4 als nicht unterbrochen angesehen, so daß es möglich ist, zu bestimmen, daß die Redundanzschaltkreise in der Halbleiterspeicherein-

richtung nicht benutzt werden.

Der Referenzwert wird beispielsweise auf die Stärke I_1 des Stromflusses im externen Anschluß 23 gesetzt, der gemessen wird durch Anlegen einer negativen Spannung mit einem Absolutwert V_{in} an einen externen Anschluß einer anderen Halbleiterspeichereinrichtung, in der die Sicherung 4 nicht unterbrochen ist.

Der Referenzwert wird beispielsweise auf die Stärke des Stromflusses zwischen einem Referenzschaltkreis derselben Struktur wie des Redundanzerschaltungsschaltkreises 22, der entsprechend einem anderen externen Anschluß als dem mit dem Redundanzerschaltungsschaltkreis 22 verbundenen externen Anschluß 23 gebildet ist, und dem anderen externen Anschluß als dem externen Anschluß 23 in der Halbleiterspeichereinrichtung mit dem Redundanzerschaltungsschaltkreis 22 eingestellt.

Genauer gesagt wird die im Referenzschaltkreis enthaltene Sicherung unabhängig davon, ob die Redundanzschaltkreise benutzt werden oder nicht, nicht abgeschmolzen. Eine negative Spannung mit einem Absolutwert V_{in} wird an den externen Anschluß angelegt, der mit dem Referenzschaltkreis verbunden ist, und die Stärke des Stromflusses im externen Anschluß wird gemessen. Die gemessene Stromstärke wird als der oben beschriebene Referenzwert verwendet.

Wie oben beschrieben worden ist, weist die herkömmliche Halbleiterspeichereinrichtung mit den Redundanzschaltkreisen einen Redundanzerschaltungsschaltkreis auf, so daß nach der Vollendung der Halbleiterspeichereinrichtung als Produkt geprüft werden kann, ob die Redundanzschaltkreise benutzt werden oder nicht. Der Redundanzerschaltungsschaltkreis weist eine Sicherung auf, die während der Herstellung in Abhängigkeit davon selektiv durchtrennt wird, ob die Redundanzschaltkreise benutzt werden oder nicht.

Ob die Redundanzschaltkreise benutzt werden oder nicht wird durch selektives Durchtrennen einer Sicherung eingestellt, die in anderen als dem Redundanzerschaltungsschaltkreis gebildet sind.

Wie in Fig. 10 gezeigt ist, wird die Tatsache, ob die Ersatzspeicherzellenfelder 32-1 bis 32-n und 33-1 bis 33-n benutzt werden oder nicht, beispielsweise in Abhängigkeit davon ermittelt, ob die Sicherungen in den Ersatzspaltendekoder-Aktivierungsschaltkreisen 44-1 bis 44-n und den Ersatzzeilendekoder-Aktivierungsschaltkreisen 24-1 bis 24-n während der Herstellung durchtrennt worden sind.

Entsprechend sollte ein Herstellungsprozeß für die herkömmliche Halbleiterspeichereinrichtung mit den Redundanzschaltkreisen den lästigen Schritt der Durchtrennung der Sicherung in der Redundanzerschaltung zusätzlich zum Schritt des Durchtrennens der Sicherung auf, um zu erfassen, ob die Redundanzschaltkreise benutzt werden oder nicht.

Darüber hinaus ist im Redundanzerschaltungsschaltkreis der als Produkt vervollständigten Halbleiterspeichereinrichtung der Zustand der Sicherungen (ob durchtrennt oder nicht) bereits bestimmt. Daher stimmt der Referenzwert, der mit der Stromstärke verglichen werden soll, die durch Anlegen einer vorbestimmten negativen Spannung an den externen Anschluß, der mit dem Redundanzerschaltungsschaltkreis verbunden ist, um zu ermitteln, ob die Redundanzschaltkreise benutzt werden oder nicht, gemessen wird, nicht mit einem Wert überein, der durch direktes Messen der Stärke des Stromflusses im externen Anschluß, der mit dem Redundanzerschaltungsschaltkreis verbunden ist, ermittelt wird, wenn die Sicherung im Redundanzerschaltungs-

schaltkreis nicht durchtrennt ist.

Wie oben beschrieben ist, wird genauer gesagt ein Wert benutzt, der gemessen wird durch Betreiben eines anderen Schaltkreises, der mit dem externen Anschluß verbunden ist, wie z. B. eines Redundanzerschaltungsschaltkreises in einer anderen Halbleiterspeichereinrichtung, in der keine Sicherung durchtrennt ist, eines Referenzschaltkreises, der mit einem anderen externen Anschluß in derselben Halbleiterspeichereinrichtung verbunden ist und dieselbe Struktur wie der Redundanzerschaltungsschaltkreis aufweist und in dem keine Sicherung durchtrennt ist, oder eines ähnlichen Schaltkreises.

Die Eingangsimpedanzen der externen Anschlüsse, die Kapazitäten der Verdrahtungen oder ähnliches stimmen jedoch selbst bei Schaltkreisen mit derselben Struktur vollständig überein, so daß die Stromstärke, die durch Betreiben eines solchen anderen Schaltkreises gemessen wird, nicht mit der Stärke des Stroms übereinstimmt, der im externen Anschluß fließt, der mit dem Redundanzerschaltungsschaltkreis verbunden ist und auch wirklich für die Bestimmung benutzt werden soll, ob die Redundanzschaltkreise benutzt werden oder nicht, wenn die Sicherung im Redundanzerschaltungsschaltkreis nicht durchtrennt ist.

Daher ist entsprechend dem herkömmlichen Redundanzerschaltungsschaltkreis der Referenzwert zum Ermitteln, ob die Redundanzschaltkreise benutzt werden oder nicht, inkorrekt, so daß es nicht immer möglich ist, korrekt zu erfassen, ob die Redundanzschaltkreise benutzt werden oder nicht.

Aufgabe der Erfindung ist es, eine Halbleiterspeichereinrichtung zu schaffen, die bestimmen kann, ob ein Redundanzschaltkreis benutzt wird oder nicht, ohne einen zusätzlichen lästigen Herstellungsschritt aufzuweisen. Ferner soll eine Halbleiterspeichereinrichtung gebildet werden, die korrekt bestimmen kann, ob ein Redundanzschaltkreis verwendet wird oder nicht. Außerdem soll eine Halbleiterspeichereinrichtung geschaffen werden, die korrekt bestimmen kann, ob ein Redundanzschaltkreis benutzt wird oder nicht, ohne einen zusätzlichen lästigen Herstellungsschritt aufzuweisen. Ferner ist es Aufgabe der Erfindung, eine Halbleiterspeichereinrichtung zu bilden, die bestimmen kann, ob ein Redundanzschaltkreis verwendet wird oder nicht, ohne eine Schmelzsicherung zu verwenden. Ferner soll eine Halbleiterspeichereinrichtung geschaffen werden, bei der es nicht vorkommt, daß ein vorbestimmter Schaltkreis irreversibel in einen bestimmten Zustand in Abhängigkeit davon versetzt wird, ob ein Redundanzschaltkreis benutzt wird oder nicht, um zu bestimmen, ob der Redundanzschaltkreis benutzt wird oder nicht.

In Übereinstimmung mit einem Aspekt der vorliegenden Erfindung weist eine Halbleiterspeichereinrichtung ein normales Speicherzellenfeld mit einer Mehrzahl von normalen Speicherzellen, Ersatzspeicherzellen, die jeweils eine der Mehrzahl normaler Speicherzellen ersetzen können, eine normale Auswahlhaltung zum Auswählen von einer der Mehrzahl normaler Speicherzellen zum Schreiben und Lesen von Daten, eine Ersatzauswahlhaltung zum Auswählen von einer der Ersatzspeicherzellen anstelle von einer der Mehrzahl normaler Speicherzellen, eine Steuersignal-Ausgabeschaltung zum Ausgeben eines Steuersignals, das die Ersatzauswahlhaltung aktiviert und die normale Auswahlhaltung deaktiviert, um das Ersatzspeicherzellenfeld zu benutzen, und eine elektrische Schaltung zum Empfangen des Steuersignals auf. Die elektrische Schaltung ist so eingestellt, daß sie ein bestimmtes elektrisches Signal an

einen vorbestimmten externen Anschluß in Abhängigkeit von einem Steuersignal von der Steuersignal-Ausgabeschaltung ausgibt.

Bevorzugterweise weist die elektrische Schaltung eine Schaltung zum Halten eines Signals auf einem vorbestimmten Logikpegel in Abhängigkeit vom Steuersignal von der Steuersignal-Ausgabeschaltung und eine Schaltung zum Ausgeben eines bestimmten elektrischen Signals an einen vorbestimmten externen Anschluß in Abhängigkeit vom gehaltenen Signal auf.

Weil die elektrische Schaltung, die so eingestellt ist, daß sie ein bestimmtes elektrisches Signal an den externen Anschluß in Abhängigkeit von der Zuführung des Steuersignals ausgibt, das zur Benutzung des Ersatzspeicherzellenfeldes erzeugt wird, wird die elektrische Schaltung so eingestellt, daß sie ein bestimmtes elektrisches Signal an den externen Anschluß ausgibt, wenn die Halbleiterspeichereinrichtung so konstruiert ist, daß sie unter Bedingungen arbeitet, unter denen das Ersatzspeicherzellenfeld benutzt werden sollte. Nachdem die Halbleiterspeichereinrichtung unter Bedingungen arbeitet, bei denen das Ersatzspeicherzellenfeld benutzt werden soll, erscheint entsprechend ein elektrisches Signal am externen Anschluß entsprechend der Tatsache, ob das Ersatzspeicherzellenfeld benutzt wird oder nicht.

In Übereinstimmung mit einem weiteren Aspekt der vorliegenden Erfindung weist eine Halbleiterspeichereinrichtung ein normales Speicherzellenfeld mit einer Mehrzahl von normalen Speicherzellen, die in einer Mehrzahl von Zeilen und Spalten angeordnet sind, ein erstes Ersatzspeicherzellenfeld mit ersten Ersatzspeicherzellen, die jeweils eine der Mehrzahl von Speicherzellen in einer der Mehrzahl von Zeilen ersetzen können, ein zweites Ersatzspeicherzellenfeld mit zweiten Ersatzspeicherzellen, die jeweils eine der Mehrzahl von normalen Speicherzellen in einer der Mehrzahl von Spalten ersetzen können, eine erste normale Auswahlhaltung zum Auswählen von einer der Mehrzahl normaler Speicherzellen in einer der Mehrzahl von Zeilen zum Schreiben und Lesen von Daten, eine zweite normale Auswahlhaltung zum Auswählen von einer der Mehrzahl normaler Speicherzellen in einer der Mehrzahl von Spalten zum Schreiben und Lesen von Daten, eine erste Ersatzauswahlhaltung zum Auswählen von einer der ersten Ersatzspeicherzellen anstelle von einer der Mehrzahl normaler Speicherzellen, und eine zweite Ersatzauswahlhaltung zum Auswählen von einer der zweiten Ersatzspeicherzellen anstelle von einer der Mehrzahl normaler Speicherzellen auf. Die Halbleiterspeichereinrichtung weist ferner eine erste Steuersignal-Ausgabeschaltung zum Ausgeben eines ersten Steuersignals, das die erste Ersatzauswahlhaltung aktiviert und die erste normale Auswahlhaltung deaktiviert, um das erste Ersatzspeicherzellenfeld zu benutzen, eine zweite Steuersignal-Ausgabeschaltung zum Ausgeben eines zweiten Steuersignals, das die zweite Ersatzauswahlhaltung aktiviert und die zweite normale Auswahlhaltung deaktiviert, um das zweite Ersatzspeicherzellenfeld zu benutzen, eine erste elektrische Schaltung, die so eingestellt ist, daß sie ein bestimmtes erstes elektrisches Signal an einen ersten externen Anschluß in Abhängigkeit vom ersten Steuersignal ausgibt, und eine zweite elektrische Schaltung, die so eingestellt ist, daß sie ein bestimmtes zweites elektrisches Signal an einen zweiten externen Anschluß in Abhängigkeit vom zweiten Steuersignal ausgibt, auf.

Die erste und zweite elektrische Schaltung sind so eingestellt, daß sie das bestimmte erste und zweite elek-

trische Signal an den ersten bzw. zweiten externen Anschluß in Abhängigkeit von der Zuführung des ersten und zweiten Steuersignals ausgeben, die jeweils zur Benutzung des ersten und zweiten Ersatzspeicherzellenfeldes erzeugt werden. Wenn die Halbleiterspeichereinrichtung so konstruiert ist, daß sie unter Bedingungen arbeitet, unter denen das erste und/oder zweite Ersatzspeicherzellenfeld benutzt werden sollte, wird die erste und/oder zweite elektrische Schaltung so eingestellt, daß sie ein oder die bestimmten elektrischen Signale an den ersten und/oder zweiten externen Anschluß ausgeben. Nachdem die Halbleiterspeichereinrichtung unter Bedingungen arbeitet, bei denen mindestens das erste oder das zweite Ersatzspeicherzellenfeld benutzt werden soll, erscheinen entsprechend elektrische Signale am ersten und zweiten externen Anschluß entsprechend der Tatsache, ob das erste Ersatzspeicherzellenfeld benutzt wird oder nicht und ob das zweite Ersatzspeicherzellenfeld benutzt wird.

In Übereinstimmung mit einem weiteren Aspekt ist ein Bestimmungsverfahren nach der vorliegenden Erfindung ein Verfahren zum Bestimmen, ob ein Ersatzspeicherzellenfeld benutzt wird oder nicht, aus einem Signal, das einem externen Anschluß in einer Halbleiterspeichereinrichtung zugeführt wird, die ein normales Speicherzellenfeld mit einer Mehrzahl von normalen Speicherzellen, ein Ersatzspeicherzellenfeld mit Ersatzspeicherzellen, die jeweils eine der Mehrzahl normaler Speicherzellen ersetzen können, einen externen Anschluß, eine normale Auswahl-schaltung zum Auswählen von einer der Mehrzahl normaler Speicherzellen zum Schreiben und Lesen von Daten, eine Ersatzauswahl-schaltung zum Auswählen von einer der Ersatzspeicherzellen anstelle von einer der Mehrzahl normaler Speicherzellen, und eine elektrische Schaltung zum Ausgeben eines bestimmten elektrischen Signals, das angibt, daß das Ersatzspeicherzellenfeld benutzt wird, aufweist, wobei das Verfahren den Schritt der Erzeugung eines Steuersignals, das die Ersatzauswahl-schaltung aktiviert und die normale Auswahl-schaltung deaktiviert, um das Ersatzspeicherzellenfeld zu benutzen, und den Schritt des Betriebes der elektrischen Schaltung in Abhängigkeit vom Steuersignal aufweist.

Entsprechend diesem Verfahren wird die Schaltung, die ein Signal ausgibt, das anzeigt, daß das Ersatzspeicherzellenfeld benutzt wird, in Abhängigkeit vom Steuersignal aktiviert, das erzeugt wird, wenn das Ersatzspeicherzellenfeld tatsächlich verwendet wird. Entsprechend erscheint ein Signal am externen Anschluß, das angibt, ob das Ersatzspeicherzellenfeld benutzt wird oder nicht, wenn die Halbleiterspeichereinrichtung einen normalen Betrieb ausführt.

Daher wird es in Übereinstimmung mit der Erfindung möglich, korrekt und einfach zu prüfen, ob ein Redundanzschaltkreis benutzt wird oder nicht, ohne Schmelzsicherungen zu bilden, die während der Herstellung selektiv in Abhängigkeit davon abgeschmolzen werden, ob der Redundanzschaltkreis benutzt wird oder nicht.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 ein schematisches Blockdiagramm, das die Gesamtkonfiguration einer Halbleiterspeichereinrichtung nach einer Ausführungsform der Erfindung darstellt;

Fig. 2 ein schematisches Schaltbild der Struktur der Redundanzerschaltungsschaltkreise von Fig. 1;

Fig. 3 ein Zeitdiagramm zur Erläuterung des Betriebs

des Schaltkreises von Fig. 2;

Fig. 4 einen Graphen der Kennlinie eines Informationserfassungs-Halteschaltkreises von Fig. 2;

Fig. 5 ein schematisches Blockdiagramm, das die Gesamtkonfiguration einer Halbleiterspeichereinrichtung nach einer weiteren Ausführungsform der Erfindung darstellt;

Fig. 6 ein schematisches Schaltbild der Struktur der Redundanzerschaltungsschaltkreise von Fig. 5;

Fig. 7 ein schematisches Blockdiagramm, das die Gesamtkonfiguration einer Halbleiterspeichereinrichtung nach einer weiteren Ausführungsform der Erfindung darstellt;

Fig. 8 ein schematisches Schaltbild der Struktur der Redundanzerschaltungsschaltkreise von Fig. 7;

Fig. 9 ein schematisches Diagramm der Struktur eines Informationserfassungs-Ausgabeschaltkreises in einem Redundanzerschaltungsschaltkreis nach einer weiteren Ausführungsform der Erfindung;

Fig. 10 ein schematisches Blockdiagramm der Gesamtkonfiguration einer herkömmlichen Halbleiterspeichereinrichtung mit Redundanzschaltkreisen;

Fig. 11 ein Diagramm zur Erläuterung der Strukturen eines normalen Speicherzellenfeldes und eines Ersatzspeicherzellenfeldes von Fig. 10;

Fig. 12 ein schematisches Diagramm der Struktur eines Redundanzerschaltungsschaltkreises von Fig. 10; und

Fig. 13 einen Graphen der Kennlinien des Schaltkreises von Fig. 12.

In Fig. 1 sind nur die Strukturen des Hauptabschnitts der Halbleiterspeichereinrichtung dargestellt.

Wie im Fall der in Fig. 10 gezeigten herkömmlichen Halbleiterspeichereinrichtung weist die in Fig. 1 dargestellte Halbleiterspeichereinrichtung eine Mehrzahl von normalen Speicherzellenfeldern 31-1 bis 31-n, zwei Arten von Ersatzspeicherzellenfeldern 32-1 bis 32-n und 33-1 bis 33-n, die entsprechend den jeweiligen normalen Speicherzellenfeldern gebildet sind, normale Spaltendekoder 42-1 bis 42-n und normale Zeilendekoder 25-1 bis 25-n, die entsprechend den jeweiligen normalen Speicherzellenfeldern gebildet sind, Ersatzspaltendekoder 41-1 bis 41-n, die jeweils entsprechend den Ersatzspeicherzellenfeldern 32-1 bis 32-n gebildet sind, und Ersatzzeilendekoder 24-1 bis 24-n, die jeweils entsprechend den Ersatzspeicherzellenfeldern 33-1 bis 33-n gebildet sind, auf. Die Halbleiterspeichereinrichtung weist ferner Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n, die jeweils entsprechend den Ersatzzeilendekodern 24-1 bis 24-n gebildet sind, Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n, die jeweils entsprechend den Ersatzspaltendekodern 32-1 bis 32-n gebildet sind, einen Zeilenadrepuffer 20 und einen Spaltenadrepuffer 40 auf.

Konfiguration und Betrieb dieser Schaltkreisschnitte in der Halbleiterspeichereinrichtung stimmen mit denen der in Fig. 10 gezeigten herkömmlichen Halbleiterspeichereinrichtung überein. Genauer gesagt wird der Zugriff auf eine defekte Speicherzellenspalte oder eine defekte Speicherzellenzeile in den normalen Speicherzellenfeldern 31-1 bis 31-n durch einen Zugriff auf eine Ersatzspeicherzellenspalte in den Speicherzellenfeldern 32-1 bis 32-n oder eine Ersatzspeicherzellenzeile in den Speicherzellenfeldern 33-1 bis 33-n ersetzt.

Um diese Ersetzung auszuführen wird in einem Herstellungsprozeß für die Halbleiterspeichereinrichtung eine (nicht dargestellte) Schmelzsicherung im jeweiligen der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n und im jeweiligen der Ersatzzeilendeko-

der-Aktivierungsschaltkreise 21-1 bis 21-n selektiv unterbrochen. Ein Ersatzzeilendekoder-Aktivierungsschaltkreis, in dem keine Schmelzsicherung unterbrochen ist, arbeitet so, daß unabhängig von einem Zeilenadreßsignal vom Zeilenadreßpuffer 20 stets ein entsprechender der Ersatzzeilendekoder deaktiviert wird, während ein entsprechender der normalen Zeilendekoder aktiviert wird.

Die Halbleiterspeichereinrichtung weist ferner Redundanzfassungsschaltkreise 22a-1 bis 22a-n, die jeweils entsprechend einem der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n gebildet sind, zum Erfassen, ob die Schmelzsicherung im entsprechenden Ersatzzeilendekoder-Aktivierungsschaltkreis unterbrochen ist oder nicht, d. h. ob ein entsprechendes der Ersatzspeicherzellenfelder (eines von 24-1 bis 24-n) entsprechend dem Ersatzzeilendekoder-Aktivierungsschaltkreis benutzt wird oder nicht, und Redundanzfassungsschaltkreise 22b-1 bis 22b-n, die jeweils entsprechend einem der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n gebildet sind, zum Erfassen, ob die Schmelzsicherung im entsprechenden Ersatzspaltendekoder-Aktivierungsschaltkreis unterbrochen ist oder nicht, d. h. ob ein entsprechendes der Ersatzspeicherzellenfelder 32-1 bis 32-n entsprechend dem Ersatzspaltendekoder-Aktivierungsschaltkreis benutzt wird oder nicht, auf.

Im Unterschied zum herkömmlichen Redundanzfassungsschaltkreis 20, der in Fig. 10 gezeigt ist, empfangen die Redundanzfassungsschaltkreise 22a-1 bis 22a-n und 22b-1 bis 22b-n die Ausgangssignale SRE1—SREn der entsprechenden Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n bzw. die Ausgangssignale SCE1—SCEn der entsprechenden Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n.

Unter Bezugnahme auf die Fig. 1 und 2 werden nun Struktur und Betrieb der Redundanzfassungsschaltkreise 22a-1 bis 22a-n und 22b-1 bis 22b-n beschrieben.

In der folgenden Beschreibung wird angenommen, daß die Ersatzspaltendekoder 41-1 bis 41-n in Abhängigkeit von den jeweiligen Ausgangssignalen SCE1—SCEn auf hohem Pegel von den entsprechenden Ersatzspaltendekoder-Aktivierungsschaltkreisen 44-1 bis 44-n aktiviert werden, und daß die Ersatzzeilendekoder 24-1 bis 24-n in Abhängigkeit von den jeweiligen Ausgangssignalen SRE1—SREn auf hohem Pegel von den entsprechenden Ersatzzeilendekoder-Aktivierungsschaltkreisen 21-1 bis 21-n aktiviert werden. Ferner wird angenommen, daß ein Ersatzzeilendekoder-Aktivierungsschaltkreis, in dem eine der Schmelzsicherungen unterbrochen ist, so arbeitet, daß er in Abhängigkeit von einem bestimmten Zeilenadreßsignal vom Zeilenadreßpuffer 20 ein Signal mit hohem Pegel ausgibt, und daß ein Ersatzspaltendekoder-Aktivierungsschaltkreis, in dem eine der Schmelzsicherungen unterbrochen ist, so arbeitet, daß er in Abhängigkeit von einem bestimmten Spaltenadreßsignal vom Spaltenadreßpuffer 40 ein Signal mit hohem Pegel ausgibt.

Ferner wird angenommen, daß die normalen Spaltendekoder 42-1 bis 42-n in Abhängigkeit von den Signalen SCE1—SCEn auf hohem Pegel von den entsprechenden Ersatzspaltendekoder-Aktivierungsschaltkreisen 44-1 bis 44-n deaktiviert werden, und die normalen Zeilendekoder 25-1 bis 25-n in Abhängigkeit von den Signalen SRE1—SREn auf hohem Pegel von den entsprechenden Ersatzzeilendekoder-Aktivierungsschaltkreisen 21-1 bis 21-n deaktiviert werden.

Fig. 2 zeigt ein schematisches Diagramm der Struktur eines jeden der Redundanzfassungsschaltkreise 22a-1 bis 22a-n, 22b-1 bis 22b-n. Fig. 2 zeigt repräsentativ die Struktur eines beliebigen der Redundanzfassungsschaltkreise.

Fig. 3 zeigt ein Zeitdiagramm zur Erläuterung des Betriebs des Redundanzfassungsschaltkreises von Fig. 2.

Wie in Fig. 2 gezeigt ist, weist jeder der Redundanzfassungsschaltkreise 22a-1 bis 22a-n, 22b-1 bis 22b-n einen Informationserfassungs-Halteschaltkreis 8, ein Ausgangssignal (SRE1—SREn) eines entsprechenden der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n oder ein Ausgangssignal (SCE1—SCEn) eines entsprechenden der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n empfängt, und einen Erfassungsinformations-Ausgabeschaltkreis 10 zum Ausgeben eines Ausgangssignals des Informationserfassungs-Halteschaltkreises 8 nach außen auf.

Der Informationserfassungs-Halteschaltkreis 8 weist ein 2-Eingangs-NOR-Gatter 6, das ein Ausgangssignal (SRE1—SREn) eines entsprechenden der Ersatzzeilendekoder-Aktivierungsschaltkreise oder ein Ausgangssignal (SCE1—SCEn) eines entsprechenden der Ersatzspaltendekoder-Aktivierungsschaltkreise als Eingangssignal empfängt, ein 3-Eingangs-UND-Gatter 7 vom Eingangsinversionstyp und einen Inverter 11, der das Ausgangssignal des NOR-Gatters 6 invertiert, auf. Ein Eingangsanschluß des UND-Gatters 7 liegt auf Masse und ein anderer Eingangsanschluß empfängt das Ausgangssignal des UND-Gatters 6. Ein weiterer Eingangsanschluß empfängt das Ausgangssignal des Einschaltstücksignal-Erzeugungsschaltkreises 300. Das NOR-Gatter 6 empfängt ein Ausgangssignal (SRE1—SREn) eines entsprechenden der Ersatzzeilendekoder-Aktivierungsschaltkreise oder ein Ausgangssignal (SCE1—SCEn) eines entsprechenden der Ersatzspaltendekoder-Aktivierungsschaltkreise und das Ausgangssignal des UND-Gatters 7 als Eingangssignale.

Das NOR-Gatter 6 arbeitet als Inverter, der das Ausgangssignal des UND-Gatters 7 invertiert, wenn das Ausgangssignal (eines von SRE1—SREn oder SCE1—SCEn) des entsprechenden Aktivierungsschaltkreises auf niedrigem Pegel liegt. Genauer gesagt, wird in einer Zeitspanne, in der das Potential des Knotens N1 auf niedrigem Pegel liegt, der Ausgangslogikpegel des NOR-Gatters 6 durch den Ausgangslogikpegel des UND-Gatters 7 bestimmt.

Ein Eingangsanschluß des UND-Gatters 7 empfängt stets ein Potential mit niedrigem Pegel (dem Massepotential).

Ein Ausgangssignal des Einschaltstücksignal-Erzeugungsschaltkreises 300 wird an einen Eingangsanschluß des UND-Gatters 7 angelegt.

Der Einschaltstücksignal-Erzeugungsschaltkreis 300 ist herkömmlicherweise in vielen Arten von integrierten Halbleiterschaltkreiseinrichtungen gebildet, um das Potential eines vorbestimmten Knotens unmittelbar nach dem Einschalten der Spannungsversorgung zu initialisieren. Der Einschaltstücksignal-Erzeugungsschaltkreis 300 ist in den Fig. 1 und 10 zur Vereinfachung der Zeichnungen nicht dargestellt. Der Einschaltstücksignal-Erzeugungsschaltkreis 300 gibt einen Einzelimpuls mit hohem oder niedrigem Pegel aus unmittelbar nachdem der Schalter der Stromversorgung eingeschaltet ist (siehe Fig. 3(f)). Bei dieser Ausführungsform wird angenommen, daß der Einzelimpuls einen hohen Pegel aufweist und das Potential des Aus-

gangsknotens N3 des UND-Gatters 7 durch den Einzelimpuls auf niedrigen Pegel initialisiert wird.

Wenn der Schalter der Spannungsversorgung für diese Halbleiterspeichereinrichtung eingeschaltet wird und die Versorgungsspannung Vcc (Fig. 3(a)) ansteigt, wird das Potential des Knotens N3 wegen des Anstiegs des Ausgangssignals vom Einschaltstückstellsignal-Erzeugungsschaltkreis 300 entsprechend auf niedrigem Pegel fixiert, wie in Fig. 3(d) gezeigt ist. Das Potential des Knotens N3 befindet sich auf niedrigem Pegel, so daß das NOR-Gatter 6 das Potential mit niedrigem Pegel an einem Eingangsanschluß empfängt, um ein Potential mit hohem Pegel auszugeben.

Wenn das Potential des Knotens N3 auf niedrigem Pegel fixiert ist, fährt das NOR-Gatter 6 damit fort, ein Potential mit hohem Pegel auszugeben, bis das Potential des Knotens N1 auf hohem Pegel liegt. Entsprechend wird das Potential des Knotens N2 (Fig. 3(c)) auf hohem Pegel gehalten, das das Anfangspotential darstellt, bis das Ausgangssignal (Fig. 3(b)) des entsprechenden Aktivierungsschaltkreises auf einen hohen Pegel geändert wird. Daher wird das Ausgangspotential des Inverters 11 nach dem Anstieg der Versorgungsspannung Vcc auf niedrigem Pegel gehalten, bis das Potential des Knotens N1 auf hohem Pegel ist, wie in Fig. 3(e) gezeigt ist.

Wenn das Potential des Knotens N1 zum Zeitpunkt t2 auf einen hohen Pegel geändert wird, wie in Fig. 3(b) gezeigt ist, gibt das NOR-Gatter 6 unabhängig vom Potentialpegel des Knotens N3 ein Signal mit niedrigem Pegel aus. Daher fällt das Potential des Knotens N2 als Reaktion auf den Anstieg des Potentials am Knoten N1 auf niedrigen Pegel ab, wie in Fig. 3(c) dargestellt ist.

Wenn das Potential des Knotens N2 auf niedrigen Pegel gebracht wird, liegen die an das UND-Gatter 7 angelegten drei Signale auf niedrigem Pegel, so daß das UND-Gatter 7 ein Signal mit hohem Pegel ausgibt. Wie in Fig. 3(d) gezeigt ist, steigt das Potential des Knotens N3 daher in Abhängigkeit vom Abfall des Potentials am Knoten N2 auf den hohen Pegel an.

Wenn das Potential des Knotens N3 auf hohen Pegel gebracht wird, gibt das NOR-Gatter 6 unabhängig vom Potentialpegel des Knotens N1 ein Potential mit niedrigem Pegel aus. Entsprechend gibt das NOR-Gatter 6 zu einem beliebigen Zeitpunkt t3, nachdem das Potential des Knotens N1 auf einen niedrigen Pegel zurückgekehrt ist, wie in Fig. 3(b) dargestellt ist, weiter ein Potential mit niedrigem Pegel aus. Wie in Fig. 3(c) gezeigt ist, ist das Potential des Knotens N2 genauer gesagt auf niedrigem Pegel fixiert, nachdem das Potential des Knotens N1 ansteigt.

Wie in Fig. 3(e) gezeigt, ist das Ausgangspotential des Inverters 11 daher auf hohem Pegel fest, wenn das Potential einmal angestiegen ist.

Das Potential des Knotens N1 liegt nur während derjenigen Zeitspanne auf hohem Pegel, in der ein entsprechender der Aktivierungsschaltkreise in Abhängigkeit vom bestimmten Zeilenadreibsignal vom Zeilenadreibpuffer oder vom bestimmten Spaltenadreibsignal vom Spaltenadreibpuffer 40 ein Signal mit hohem Pegel ausgibt.

Genauer gesagt gibt in einem Fall, in dem eine der Speicherzellenzeilen in einem der Speicherzellenfelder 31-1 bis 31-n defekt ist, ein entsprechender der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n ein Signal (SRE1—SREn) mit hohem Pegel nur als Reaktion auf ein Zeilenadreibsignal, das die defekte Speicherzellenzeile angibt, aus, um einen entsprechenden der Ersatzzeilendekoder 24-1 bis 24-n für eine bestimm-

te Zeitspanne zu aktivieren, so daß ein entsprechendes der Ersatzspeicherzellenfelder 33-1 bis 33-n anstelle der defekten Speicherzellenzeile benutzt wird.

In gleicher Weise gibt in einem Fall, in dem eine der Speicherzellenspalten in einem der Speicherzellenfelder 31-1 bis 31-n defekt ist, ein entsprechender der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n ein Signal (SCE1—SCEn) mit hohem Pegel nur als Reaktion auf ein Spaltenadreibsignal, das die defekte Speicherzellenspalte angibt, aus, um einen entsprechenden der Ersatzspaltendekoder 41-1 bis 41-n für eine bestimmte Zeitspanne zu aktivieren, so daß ein entsprechendes der Ersatzspeicherzellenfelder 32-1 bis 32-n anstelle der defekten Speicherzellenspalte benutzt wird.

Damit wird jeder der Aktivierungsschaltkreise 21-1 bis 21-n, 44-1 bis 44-n in Abhängigkeit von einem bestimmten externen Adreibsignal nur in einem Fall auf hohen Pegel gebracht, wenn ein entsprechendes der Ersatzspeicherzellenfelder 32-1 bis 32-n, 33-1 bis 33-n benutzt wird, d. h. in einem Fall, wenn eine der darin enthaltenen Schmelzsicherungen im Herstellungsprozeß unterbrochen worden ist. Wenn externe Adreibsignale, die alle normale Speicherzellenzeilen und normale Speicherzellenspalten angeben, nacheinander der Halbleiterspeichereinrichtung nach dem Anlegen der Versorgungsspannung und vor dem Ausführen eines normalen Schreibens und Lesens von Daten zugeführt werden, wird das Ausgangspotential von einem der Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n oder der Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n, der entsprechend einem im normalen Schreiben und Lesen zu benutzenden Ersatzspeicherzellenfeld gebildet ist, mindestens einmal auf hohen Pegel gebracht.

Zum Zeitpunkt, wenn alle externen Adreibsignale zugeführt worden sind, ist daher nur das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 im Redundanzerrfassungsschaltkreis auf hohem Pegel fixiert, der ein Ausgangssignal von einem der Ersatzzeilendekoder-Aktivierungsschaltkreise (einem von 21-1 bis 21-n), der entsprechend dem zu benutzenden Ersatzspeicherzellenfeld (einem von 31-1 bis 31-n) gebildet ist, und dem Ersatzzeilendekoder (einem von 24-1 bis 24-n) der Redundanzerrfassungsschaltkreise 22a-1 bis 22a-n empfängt.

Der Erfassungsinformations-Ausgabeschaltkreis 10 weist eine Reihenschaltung aus einem N-Kanal MOS-Transistor 5, der das Ausgangssignal des entsprechenden Informationserfassungs-Halteschaltkreises 8 an seinem Gate empfängt, und einen N-Kanal MOS-Transistor 3, der als Diode geschaltet ist, und einen parallel dazu geschalteten N-Kanal MOS-Transistor 2 auf. Sowohl die Reihenschaltung als auch der Transistor 2 sind zwischen Masse und einem der externen Anschlüsse 23 von Fig. 1 gebildet. Das Gate des Transistors 2 liegt auf Masse.

Wie im herkömmlichen Fall ist der externe Anschluß 23, der mit dem Redundanzerrfassungsschaltkreis verbunden ist, ursprünglich zum Übertragen eines Signals zwischen anderen Schaltkreisischnitten und der Umgebung gebildet, und es wird eine negative Spannung mit einem vorbestimmten Absolutwert extern an diesen angelegt, wenn geprüft werden soll, ob die Redundanzschaltkreise benutzt werden oder nicht.

Unter Bezugnahme auf die Fig. 4 wird nun der Betrieb des Erfassungsinformations-Ausgabeschaltkreises 10 in einem Fall beschrieben, wenn eine negative Spannung an den externen Anschluß 23 angelegt wird, dessen

Absolutwert V_F allmählich ansteigt. Fig. 4 ist ein Graph, der die Beziehung zwischen der Stärke I_F des Stromflusses in der Verdrahtung A von Fig. 2 und dem Absolutwert V_F der negativen Spannung, die an den in Fig. 2 dargestellten externen Anschluß angelegt wird, angibt.

Zuerst wird der Betrieb des Erfassungsinformations-Ausgabeschaltkreises 10 in einem Fall beschrieben, wenn das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 auf niedrigem Pegel liegt.

Wenn an den externen Anschluß 23 eine negative Spannung angelegt wird, deren Absolutwert V_F allmählich ansteigt, befinden sich alle Transistoren 2, 3 und 5 in einem gesperrten Zustand, so daß in der Verdrahtung A kein Strom fließt, bis der Absolutwert V_F die jeweiligen Schwellenspannungen V_{th} der Transistoren 2, 3 und 5 erreicht.

Wenn der Absolutwert V_F jedoch die Schwellenspannung V_{th} erreicht hat, wird Transistor 2 leitend, so daß der Stromfluß von der Masse GND über den Transistor 2 zum externen Anschluß 23 anschließend mit konstanter Rate ansteigt, wenn sich der Absolutwert V_F weiter erhöht, wie durch die durchgezogene Linie 1 in Fig. 4 dargestellt ist.

Wenn der Absolutwert V_F die Summe der Schwellenspannungen der Transistoren 3 und 5 erreicht, d. h. $2 \cdot V_{th}$, schalten auch die Transistoren 3 und 5 durch, so daß anschließend in der Verdrahtung A ein Strom mit einer Stärke entsprechend der Summe des Stromflusses zwischen Source und Drain von Transistor 2 und des Stromflusses in der Reihenschaltung der Transistoren 3 und 5 in Richtung von der Masse GND zum externen Anschluß 23 fließt. Daher steigt im Bereich, in dem der Absolutwert V_F gleich oder höher als die oben angeführte Summe $2 \cdot V_{th}$ der Schwellenspannungen ist, der Stromfluß in der Verdrahtung A mit einer Rate an, die größer als zuvor ist, wenn der Absolutwert V_F angehoben wird, wie durch die durchgezogene Linie 1 in Fig. 4 dargestellt ist.

Nun wird der Betrieb des Erfassungsinformations-Ausgabeschaltkreises 10 für den Fall beschrieben, daß das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 auf hohem Pegel liegt. In diesem Fall ist der Transistor 5 unabhängig vom Potential des externen Anschlusses 23 leitend. Wenn eine negative Spannung an den externen Anschluß 23 angelegt wird, deren Absolutwert V_F allmählich ansteigt, befinden sich entsprechend die Transistoren 2 und 3 beide in einem gesperrten Zustand, so daß kein Strom in der Verdrahtung A fließt, bis der Absolutwert V_F die jeweiligen Schwellenspannungen V_{th} der Transistoren 2 und 3 erreicht.

Wenn der Absolutwert V_F jedoch die Schwellenspannung V_{th} erreicht, werden die Transistoren 2 und 3 beide leitend, so daß ein Strom mit einer Stärke entsprechend der Summe des Stroms zwischen Source und Drain des Transistors 2 und dem Strom in der Reihenschaltung der Transistoren 3 und 5 beginnt, in der Verdrahtung von der Masse GND zum externen Anschluß 23 zu fließen. Dieser Strom steigt anschließend mit konstanter Rate an, wenn der Absolutwert V_F vergrößert wird, wie durch die durchgezogene Linie 2 in Fig. 4 dargestellt ist.

Damit ist der Stromfluß in der Verdrahtung A im Bereich, in dem der Absolutwert V_F der an den externen Anschluß 23 angelegten Spannung gleich oder niedriger als die Summe ($2 \cdot V_{th}$) der Schwellenspannungen von zwei MOS-Transistoren ist, nur vom Transistor 2 zugeführt, wenn das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 auf niedrigem Pegel liegt,

und er wird nicht nur vom Transistor 2, sondern auch von der Reihenschaltung 3 und 5 zugeführt, wenn das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 auf hohem Pegel ist.

Wenn eine negative Spannung mit einem vorbestimmten Absolutwert V_{in} gleich oder größer als die Summe ($2 \cdot V_{th}$) der Schwellenspannung des Transistors 3 und der Schwellenspannung des Transistors 5 an den externen Anschluß 23 angelegt wird, unterscheidet sich entsprechend die Stärke des Stromflusses zum externen Anschluß 23, wenn das Ausgangspotential des entsprechenden Informationserfassungs-Halteschaltkreises 8 auf hohem Pegel (I_1) liegt, von dem Fall, wenn es auf niedrigem Pegel (I_0) ist.

Wenn das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 im jeweiligen der Redundanz-erfassungsschaltkreise 22a-1 bis 22a-n, 22b-1 bis 22b-n auf niedrigem Pegel liegt und eine negative Spannung mit einem Absolutwert V_{in} an den externen Anschluß 23 angelegt wird, der mit dem Redundanz-erfassungsschaltkreis verbunden ist, und die Stärke I_0 des Stromflusses zum externen Anschluß 23 als Referenzwert benutzt wird, ist es möglich, zu ermitteln, ob die Ersatzspeicherzellenfelder 32-1 bis 32-n, 33-1 bis 33-n verwendet werden.

Genauer gesagt werden externe Adreßsignale, die alle Speicherzellenzeilen und alle Speicherzellenspalten angeben, nacheinander der Halbleiterspeichereinrichtung zugeführt, und dann wird der Stromfluß in den jeweiligen externen Anschlüssen 23 mit einem Tester oder einem ähnlichen Gerät gemessen, wobei eine negative Spannung mit einem Absolutwert V_{in} den externen Anschlüssen 23 zugeführt, die jeweils mit den Redundanz-erfassungsschaltkreisen 22a-1 bis 22a-n, 22b-1 bis 22b-n verbunden sind, und der gemessene mit dem Referenzwert verglichen wird. Wenn der an einem bestimmten externen Anschluß 23 gemessene Wert größer als der Referenzwert I_0 ist, wird das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 im Redundanz-erfassungsschaltkreis, der mit diesem externen Anschluß verbunden ist, als auf hohem Pegel befindlich angesehen, so daß es möglich ist, zu bestimmen, daß das Ersatzspeicherzellenfeld entsprechend dem Redundanz-erfassungsschaltkreis benutzt wird. Wenn der gemessene Wert umgekehrt gleich dem Referenzwert I_0 ist, wird das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 als auf niedrigem Pegel befindlich betrachtet, so daß es möglich ist, zu bestimmen, daß das Ersatzspeicherzellenfeld entsprechend dem Redundanz-erfassungsschaltkreis nicht benutzt wird.

Um diesen Referenzwert zu erhalten, wird dieselbe negative Spannung wie diejenige, die dem jeweiligen externen Anschluß 23 zum Prüfen, ob der Redundanzschaltkreis benutzt wird oder nicht, zugeführt wird, an den jeweiligen externen Anschluß 23 angelegt, und der Stromfluß im externen Anschluß 23 wird mit einem Tester oder einem ähnlichen Gerät zu dem Zeitpunkt (t_1 in Fig. 3) gemessen, wenn kein externes Adreßsignal an die Halbleiterspeichereinrichtung angelegt ist.

Zum Zeitpunkt t_1 in Fig. 3 ist das Ausgangspotential des Informationserfassungs-Halteschaltkreises 8 im jeweiligen der Redundanz-erfassungsschaltkreise 22a-1 bis 22a-n, 22b-1 bis 22b-n auf niedrigem Pegel fixiert, so daß der Wert von I_0 in Fig. 4 vom jeweiligen externen Anschluß 23 durch Ausführen einer solchen Messung erhalten wird.

Wie oben beschrieben worden ist, wird entsprechend dieser Ausführungsform auf der Basis der Ausgangssi-

gnale der Ersatzzeilendekoder-Aktivierungsschaltkreise und der Ersatzspaltendekoder-Aktivierungsschaltkreise, die nur in Fällen auf einen vorbestimmten Logikpegel (den hohen Pegel) gebracht werden, wenn die Redundanzschaltkreise verwendet werden, ermittelt, ob die Redundanzschaltkreise benutzt werden oder nicht. Damit ist es unnötig, im Herstellungsprozeß für die Halbleiterspeichereinrichtung den Schritt des selektiven Unterbrechens von Schmelzsicherungen in den Redundanzerschaltungsschaltkreisen in Abhängigkeit davon zu bilden, ob die Redundanzschaltkreise benutzt werden oder nicht, wie das herkömmlicherweise der Fall ist.

Darüber hinaus werden die Ausgangssignale der Ersatzzeilendekoder-Aktivierungsschaltkreise und der Ersatzspaltendekoder-Aktivierungsschaltkreise nicht auf den vorbestimmten Logikpegel gebracht, bis ein bestimmtes Zeilenadreßsignal und ein bestimmtes Spaltenadreßsignal extern zugeführt werden. Wenn eine Zeitspanne, in der der Halbleiterspeichereinrichtung kein externes Adreßsignal zugeführt wird, benutzt wird, ist es daher möglich, einen Referenzwert am jeweiligen externen Terminal 23, der mit den Redundanzerschaltungsschaltkreisen 22a-1 bis 22a-n, 22b-1 bis 22b-n zur Bestimmung, ob das Ersatzspeicherzellenfeld verwendet wird oder nicht, verbunden ist, zu messen, um zu bestimmen, ob jedes der Ersatzspeicherzellenfelder 32-1 bis 32-n, 33-1 bis 33-n benutzt wird oder nicht. Entsprechend ist es im Gegensatz zum herkömmlichen Fall möglich, einen Referenzwert zur Bestimmung, ob ein Redundanzschaltkreis benutzt wird oder nicht, korrekt zu messen, so daß es auch korrekter als im herkömmlichen Fall möglich ist, zu ermitteln, ob der Redundanzschaltkreis benutzt wird oder nicht.

In der oben angeführten Ausführungsform ist ein Redundanzerschaltungsschaltkreis für jeden Ersatzzeilendekoder-Aktivierungsschaltkreis und jeden Ersatzspaltendekoder-Aktivierungsschaltkreis gebildet, um individuell feststellen zu können, ob das jeweilige Speicherzellenfeld benutzt wird oder nicht, und jeder Redundanzerschaltungsschaltkreis ist mit einem externen Anschluß verbunden, der von den externen Anschlüssen verschieden ist, mit denen die anderen Redundanzerschaltungsschaltkreise verbunden sind. Wie in Fig. 1 gezeigt ist, kann jedoch in einem Fall, bei dem nur geprüft werden soll, welche Art von Ersatzspeicherzellenfeld der zwei Arten von Speicherzellenfeldern (32-1 bis 32-n und 33-1 bis 33-n), die entsprechend den jeweiligen normalen Speicherzellenfeldern 31-1 bis 31-n gebildet sind, benutzt wird, ein Redundanzerschaltungsschaltkreis entsprechend allen Ersatzzeilendekoder-Aktivierungsschaltkreisen 21-1 bis 21-n und ein Redundanzerschaltungsschaltkreis entsprechend allen Ersatzspaltendekoder-Aktivierungsschaltkreisen 44-1 bis 44-n gebildet sein.

Fig. 5 zeigt ein schematisches Blockdiagramm der Gesamtkonfiguration einer Halbleiterspeichereinrichtung für einen solchen Fall. Fig. 5 stellt eine weitere Ausführungsform der vorliegenden Erfindung dar. Fig. 6 zeigt ein schematisches Diagramm der Strukturen der Redundanzerschaltungsschaltkreise 22c und 22d von Fig. 5.

Wie in Fig. 6 gezeigt ist, weist der Redundanzerschaltungsschaltkreis 22c einen Informationserfassungs-Halteschaltkreis 8, der Halteschaltkreisblöcke 80 jeweils entsprechend den Ersatzzeilendekoder-Aktivierungsschaltkreisen 21-1 bis 21-n besitzt, ein NOR-Gatter 50, das Ausgangssignale aller Halteschaltkreisblöcke 80 empfängt, einen Inverter 51, der das Ausgangssignal des

NOR-Gatters 50 empfängt, und einen Erfassungsinformations-Ausgabeschaltkreis 10 auf.

In gleicher Weise weist der Redundanzerschaltungsschaltkreis 22d einen Informationserfassungs-Halteschaltkreis 8, der Halteschaltkreisblöcke 80 jeweils entsprechend den Ersatzspaltendekoder-Aktivierungsschaltkreisen 44-1 bis 44-n besitzt, ein NOR-Gatter 50, das Ausgangssignale aller Halteschaltkreisblöcke 80 empfängt, einen Inverter 51, der das Ausgangssignal des NOR-Gatters 50 empfängt, und einen Erfassungsinformations-Ausgabeschaltkreis 10 auf.

Jeder der Halteschaltkreisblöcke 80 besitzt dieselbe Struktur wie der in Fig. 2 gezeigte Informationserfassungs-Halteschaltkreis 8. Zum Zeitpunkt, wenn alle externen Adreßsignale nacheinander an die Halbleiterspeichereinrichtung angelegt worden sind, ist entsprechend nur das Ausgangspotential desjenigen Halteschaltkreisblocks 80 auf hohem Pegel fixiert, der entsprechend einem der Ersatzzeilendekoder-Aktivierungsschaltkreise (einem von 21-1 bis 21-n) oder einem der Ersatzspaltendekoder-Aktivierungsschaltkreise (einem von 44-1 bis 44-n) entsprechend dem zu benutzenden Ersatzspeicherzellenfeld gebildet ist.

In jedem der Redundanzerschaltungsschaltkreise 22c, 22d gibt das NOR-Gatter 50 ein Potential mit niedrigem Pegel aus, wenn das Ausgangspotential von mindestens einem der Halteschaltkreisblöcke 80 auf hohem Pegel liegt. Daher legt der Ausgang des Inverters 51 ein Potential mit hohem Pegel an den Erfassungsinformations-Ausgabeschaltkreis 10 an, wenn das Ausgangspotential von mindestens einem der Halteschaltkreisblöcke 80 auf hohem Pegel ist.

Jeder Erfassungsinformations-Ausgabeschaltkreis 10 besitzt nach dieser Ausführungsform dieselbe Struktur wie der in Fig. 2 gezeigte Erfassungsinformations-Ausgabeschaltkreis 10.

Wenn die Zuführung aller externen Adreßsignale an diese Halbleiterspeichereinrichtung abgeschlossen ist, zeigt nur der Erfassungsinformations-Ausgabeschaltkreis 10 in einem der Redundanzerschaltungsschaltkreise (einem von 22c und 22d), der entsprechend dem benutzten Ersatzspeicherzellenfeld der zwei Arten von Ersatzspeicherzellenfeldern (32-1 bis 32-n und 33-1 bis 33-n) gebildet ist, die durch die durchgezogene Linie 2 in Fig. 4 dargestellte Kennlinie. Wenn bei der in Fig. 5 gezeigten Struktur der Strom an den externen Anschlüssen 23 in gleicher Weise wie bei der vorherigen Ausführungsform gemessen wird, mit dem die Redundanzerschaltungsschaltkreise 22c bzw. 22d verbunden sind, ist es entsprechend möglich, zu bestimmen, welches der zwei Typen von Ersatzspeicherzellenfeldern benutzt wird.

Wenn nur die Information erforderlich ist, ob eines der Ersatzspeicherzellenfelder 32-1 bis 32-n, 33-1 bis 33-n benutzt wird oder nicht, kann ferner auch nur ein Redundanzerschaltungsschaltkreis gemeinsam für alle Ersatzzeilendekoder-Aktivierungsschaltkreise 21-1 bis 21-n und alle Ersatzspaltendekoder-Aktivierungsschaltkreise 44-1 bis 44-n gebildet sein. Fig. 7 zeigt ein schematisches Blockdiagramm der Gesamtkonfiguration einer Halbleiterspeichereinrichtung in einem solchen Fall. Fig. 7 stellt eine weitere Ausführungsform der vorliegenden Erfindung dar.

Fig. 8 zeigt ein schematisches Diagramm einer Struktur des Redundanzerschaltungsschaltkreises 22e von Fig. 7. Wie in Fig. 8 gezeigt ist, weist der Redundanzerschaltungsschaltkreis 22e einen Informationserfassungs-Halteschaltkreis 8, der Halteschaltkreisblöcke 80 be-

sitzt, die entsprechend den jeweiligen Ersatzzeilende-koder-Aktivierungsschaltkreisen 21-1 bis 21-n und den jeweiligen Ersatzspaltende-koder-Aktivierungsschaltkreisen 44-1 bis 44-n gebildet sind, ein NOR-Gatter 60, das die Ausgangssignale aller Halteschaltkreisblöcke empfängt, einen Inverter 61, der das Ausgangssignal des NOR-Gatters 60 invertiert, und einen Erfassungsinformations-Ausgabeschaltkreis 10 auf.

Jeder der Halteschaltkreisblöcke 80 besitzt dieselbe Struktur wie der in Fig. 2 gezeigte Informationserfassungsschaltkreis 8. Zum Zeitpunkt, wenn alle externen Adreßsignale an die Halbleiterspeichereinrichtung angelegt worden sind, ist entsprechend nur das Ausgangspotential desjenigen Inverters 61 durch das Ausgangspotential des Halteschaltkreisblocks 80 auf hohem Pegel fixiert, der entsprechend einem benutzten Ersatzspeicherzellenfeld gebildet ist. Die Kennlinie des Erfassungsinformations-Ausgabeschaltkreises 10 ist nur dann auf diejenige eingestellt, die durch die durchgezogene Linie 2 in Fig. 4 dargestellt ist, wenn ein Ersatzspeicherzellenfeld benutzt wird.

Mit der in Fig. 7 gezeigten Struktur ist es möglich, zu bestimmen, ob eines der Ersatzspeicherzellenfelder in der Halbleiterspeichereinrichtung benutzt wird oder nicht, indem man in derselben Weise wie bei den oben angeführten zwei Ausführungsformen den Stromfluß am externen Anschluß 23 erfaßt, der mit dem Redundanzserfassungsschaltkreis 22e verbunden ist.

In allen oben angeführten Ausführungsformen ist der Erfassungsinformations-Ausgabeschaltkreis in einem Redundanzserfassungsschaltkreis so konstruiert, daß sich die Stärke des Stromflusses in einem externen und damit verbundenen Anschluß unterscheidet, je nachdem, ob ein Redundanzschaltkreis benutzt wird oder nicht. Die Struktur des Erfassungsinformations-Ausgabeschaltkreises ist jedoch nicht auf eine solche Struktur beschränkt.

Fig. 9 zeigt ein schematisches Diagramm eines Erfassungsinformations-Ausgabeschaltkreises, der so konstruiert ist, daß sich der an einem externen Anschluß erscheinende Potentialpegel unterscheidet, je nachdem, ob ein Redundanzschaltkreis benutzt wird oder nicht. Fig. 9 stellt eine weitere Ausführungsform der Erfindung dar.

Wie in Fig. 9 gezeigt ist, weist ein Erfassungsinformations-Ausgabeschaltkreis 70 ein 2-Eingangs-NAND-Gatter 72, das das Ausgangssignal eines (nicht dargestellten) Informationserfassungsschaltkreises und ein vorbestimmtes Taktsignal Φ empfängt, einen Inverter 71, der das Ausgangssignal des entsprechenden Informationserfassungsschaltkreises invertiert, ein 2-Eingangs-NAND-Gatter 73, das das Ausgangssignal des Inverters 71 und das oben angeführte vorbestimmte Taktsignal Φ als Eingangssignale empfängt, Inverter 74 und 75, die die Ausgangssignale der NAND-Gatter 72 bzw. 73 invertiert, und N-Kanal MOS-Transistoren 76 und 77, die die Ausgangssignale der Inverter 74 bzw. 75 an ihren Gates empfangen, auf.

Die Transistoren 76 und 77 sind zwischen der Versorgungsspannung Vcc und Masse GND in Reihe geschaltet, und der Verbindungspunkt der Transistoren 76 und 77 ist mit einem vorbestimmten externen Anschluß 23 verbunden.

Das Taktsignal Φ stellt ein Steuersignal dar, das nur dann auf hohem Pegel gebracht wird, wenn geprüft wird, ob ein Redundanzschaltkreis benutzt wird oder nicht. Sonst ist es auf niedrigem Pegel. Das Taktsignal Φ kann direkt von außen zugeführt oder in der Halbleiterspei-

chereinrichtung erzeugt werden.

Wenn das Taktsignal Φ auf hohem Pegel liegt, werden die Ausgangspotentiale der NAND-Gatter 72 und 73 auf niedrigen bzw. hohen Pegel gebracht, wenn sich das Ausgangspotential des entsprechenden Informationserfassungsschaltkreises auf hohem Pegel befindet, und sie werden auf hohen bzw. niedrigen Pegel gebracht, wenn das Ausgangspotential des entsprechenden Informationserfassungsschaltkreises auf niedrigem Pegel liegt.

Wenn eines der Ersatzspeicherzellenfelder entsprechend dem Redundanzserfassungsschaltkreis benutzt wird, der den Erfassungsinformations-Ausgabeschaltkreis 70 enthält, empfängt der Transistor 76 entsprechend ein Potential mit hohem Pegel vom Inverter 74 und wird in einen durchgeschalteten Zustand gebracht, so daß das Versorgungspotential Vcc am externen Anschluß 23 erscheint. Wenn jedoch keines der Ersatzspeicherzellenfelder entsprechend dem Redundanzserfassungsschaltkreis benutzt wird, empfängt der Transistor 77 ein Potential mit hohem Pegel vom Inverter 75 und wird in einen durchgeschalteten Zustand gebracht, so daß das Massepotential GND am externen Anschluß 23 erscheint.

Wenn dieser Erfassungsinformations-Ausgabeschaltkreis 70 anstelle des in den Fig. 2, 6 und 8 gezeigten Erfassungsinformations-Ausgabeschaltkreises 10 verwendet wird, ist es genauer gesagt möglich, zu ermitteln, ob ein Ersatzspeicherzellenfeld entsprechend einem Redundanzserfassungsschaltkreis, der mit einem externen Anschluß 23 verbunden ist, benutzt wird oder nicht, indem man das Potential des externen Anschlusses mit einem auf hohem Pegel liegenden Taktsignal Φ erfaßt, nachdem externe Adreßsignale an die Halbleiterspeichereinrichtung angelegt worden sind, die alle normalen Speicherzellenzeilen und alle normalen Speicherzellen-spalten angeben.

Innerhalb einer Zeitspanne, in der das Taktsignal Φ auf niedrigem Pegel ist, sind die Ausgangspotentiale der NAND-Gatter 72 und 73 unabhängig vom Ausgangspotential des entsprechenden Informationserfassungsschaltkreises beide auf hohem Pegel fixiert. Entsprechend sind die Ausgangspotentiale der Inverter 74 und 75 beide auf niedrigem Pegel fest, und als Ergebnis werden die Transistoren 76 und 77 beide in einen gesperrten Zustand gebracht. Genauer gesagt wird während der Zeit, in der das Taktsignal Φ auf niedrigem Pegel liegt, der externe Anschluß 23 elektrisch vom entsprechenden Redundanzserfassungsschaltkreis getrennt.

In Übereinstimmung mit dieser Ausführungsform unterscheidet sich damit das Potential, das an einem vorbestimmten externen Anschluß erscheint, je nachdem, ob ein Redundanzschaltkreis benutzt wird oder nicht, so daß es unnötig ist, einen Referenzwert wie im Fall der vorherigen Ausführungsformen zu messen.

Ferner ist es auch unnötig, die gesamte Halbleiterspeichereinrichtung durch Zuführen eines externen Signals in einen besonderen Modus zu versetzen, das z. B. einen anderen Pegel oder Änderungszeitpunkt als im normalen Fall aufweist, um zu prüfen, ob ein Redundanzschaltkreis benutzt wird oder nicht. Damit ist es möglich, einen solchen Test auf einfache Weise auszuführen.

Ferner ist die vorliegende Erfindung auch auf eine Halbleiterspeichereinrichtung anwendbar, die nur einen Typ eines Ersatzspeicherzellenfeldes aufweist, d. h. eine Halbleiterspeichereinrichtung mit nur einem Ersatzzeilende-koder-Aktivierungsschaltkreis oder einem Ersatz-

spaltendekoder-Aktivierungsschaltkreis.

Die vorliegende Erfindung ist besonders dann effektiv, wenn sie z. B. auf ein DRAM (dynamischer Direktzugriffsspeicher) angewandt wird.

Patentansprüche

1. Halbleiterspeichereinrichtung, aufweisend ein normales Speicherzellenfeld (31-1 bis 31-n) mit einer Mehrzahl von normalen Speicherzellen (MC),
ein Ersatzspeicherzellenfeld (32-1 bis 32-n, 33-1 bis 33-n) mit Ersatzspeicherzellen (SMC), die jeweils eine der Mehrzahl normaler Speicherzellen (MC) ersetzen können,
eine normale Auswahlleinrichtung (25-1 bis 25-n, 42-1 bis 42-n) zum Auswählen von einer der Mehrzahl normaler Speicherzellen (MC) zum Schreiben und Lesen von Daten,
eine Ersatzauswahlleinrichtung (24-1 bis 24-n, 41-1 bis 41-n) zum Auswählen von einer der Ersatzspeicherzellen (SMC) anstelle von einer der Mehrzahl normaler Speicherzellen (MC),
eine Steuersignal-Ausgabereinrichtung (21-1 bis 21-n, 44-1 bis 44-n) zum Ausgeben eines Steuersignals, das die Ersatzauswahlleinrichtung (24-1 bis 24-n, 41-1 bis 41-n) aktiviert und die normale Auswahlleinrichtung (25-1 bis 25-n, 42-1 bis 42-n) deaktiviert, um das Ersatzspeicherzellenfeld (32-1 bis 32-n, 33-1 bis 33-n) zu benutzen, und
eine elektrische Schaltkreiseinrichtung (22a-1 bis 22a-n, 22b-1 bis 22b-n, 22c, 22d, 22e), die so eingestellt ist, daß sie ein vorbestimmtes elektrisches Signal an einen vorbestimmten externen Anschluß (23) in Abhängigkeit vom Steuersignal (SRE1—SREn, SCE1—SCEn) ausgibt.
2. Halbleiterspeichereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die elektrische Schaltkreiseinrichtung (22a-1 bis 22a-n, 22b-1 bis 22b-n, 22c, 22d, 22e)
eine Einrichtung (8, 80), die vom Steuersignal (SRE1—SREn, SCE1—SCEn) abhängig ist, zum Halten eines Signals auf einem vorbestimmten Logikpegel, und
eine Einrichtung (10, 70), die vom Signal auf dem vorbestimmten Logikpegel abhängig ist, das von der Halteeinrichtung (8, 80) gehalten wird, zum Ausgeben des vorbestimmten elektrischen Signals an den vorbestimmten externen Anschluß (23) aufweist.
3. Halbleiterspeichereinrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die Ausgabereinrichtung (10, 70) eine Stromerzeugungseinrichtung (2), die vom Anlegen eines vorbestimmten Potentials an den vorbestimmten externen Anschluß (23) abhängig ist, zum Erzeugen eines Stroms, der zwischen dem vorbestimmten externen Anschluß (23) und der Ausgabereinrichtung (10) fließt, und eine Stromvergrößerungseinrichtung (3, 5), die vom Signal auf dem vorbestimmten Logikpegel abhängig ist, das von der Halteeinrichtung (8) gehalten wird, zum Vergrößern des Stroms aufweist.
4. Halbleiterspeichereinrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die Stromerzeugungseinrichtung (2) eine erste Elektrikpfad-Bildungseinrichtung (2) aufweist, die vom Anlegen des vorbestimmten Potentials an den vorbestimmten externen Anschluß (23) abhängig ist, zum Bilden eines ersten elektrischen Pfads (2) zwischen dem

vorbestimmten externen Anschluß (23) und einer vorbestimmten Potentialquelle (GND), und daß die Stromvergrößerungseinrichtung (3, 5) eine zweite Elektrikpfad-Bildungseinrichtung (3, 5) aufweist, die vom Signal auf dem vorbestimmten Logikpegel, das in der Halteeinrichtung (8) gehalten wird, und dem Anlegen des vorbestimmten Potentials an den vorbestimmten externen Anschluß (23) abhängig ist, zum Bilden eines zweiten elektrischen Pfads (3, 5) zwischen dem vorbestimmten externen Anschluß (23) und der vorbestimmten Potentialquelle (GND).

5. Halbleiterspeichereinrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die erste Elektrikpfad-Bildungseinrichtung (2) ein erstes Feldeffekt-Halbleiterelement (2) aufweist, mit einem ersten Leitungsanschluß, der mit dem vorbestimmten externen Anschluß (23) verbunden ist, einem zweiten Leitungsanschluß, der mit der vorbestimmten Potentialquelle (GND) verbunden ist, und einem Steueranschluß, der mit der vorbestimmten Potentialquelle (GND) verbunden ist.

6. Halbleiterspeichereinrichtung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß die zweite Elektrikpfad-Bildungseinrichtung (3, 5) ein zweites Feldeffekt-Halbleiterelement (3) mit einem ersten Leitungsanschluß, der mit dem vorbestimmten externen Anschluß (23) verbunden ist, einem zweiten Leitungsanschluß und einem Steueranschluß, der mit dem zweiten Leitungsanschluß verbunden ist, und ein drittes Feldeffekt-Halbleiterelement (5) mit einem ersten Leitungsanschluß, der mit dem zweiten Leitungsanschluß des zweiten Feldeffekt-Halbleiterelements (3) verbunden ist, einem zweiten Leitungsanschluß, der mit der vorbestimmten Potentialquelle (GND) verbunden ist, und einem Steueranschluß zum Empfangen des Signals, das in der Halteeinrichtung (8) gehalten wird, aufweist.

7. Halbleiterspeichereinrichtung nach Anspruch 5, dadurch gekennzeichnet, daß die Polarität des vorbestimmten Potentials negativ, das Potential der vorbestimmten Potentialquelle (GND) ein Massepotential (OV) und die Polarität des ersten Feldeffekt-Halbleiterelements (2) vom N-Typ ist.

8. Halbleiterspeichereinrichtung nach Anspruch 6, dadurch gekennzeichnet, daß die Polarität des vorbestimmten Potentials negativ, das Potential der vorbestimmten Potentialquelle (GND) ein Massepotential (OV), der vorbestimmte Logikpegel ein hoher Pegel und die Polarität des zweiten und dritten Feldeffekt-Halbleiterelements (3, 5) vom N-Typ ist.

9. Halbleiterspeichereinrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die Ausgabereinrichtung (10, 70) eine Anlegepotential-Umschaltereinrichtung (70) aufweist, zum Anlegen eines ersten Logikpegels an den vorbestimmten externen Anschluß (23), wenn das in der Halteeinrichtung (8) gehaltene Signal ein Signal auf dem vorbestimmten Logikpegel ist, und zum Anlegen eines Potentials auf einem zweiten Logikpegel an den vorbestimmten externen Anschluß (23), wenn das gehaltene Signal ein Signal auf einem anderen Pegel ist.

10. Halbleiterspeichereinrichtung nach Anspruch 9, dadurch gekennzeichnet, daß die Anlegepotential-Umschaltereinrichtung (70) eine erste Schalteinrichtung (76), die zwischen ein Potential auf dem ersten

Logikpegel und den vorbestimmten externen Anschluß (23) geschaltet ist, eine zweite Schalteinrichtung (77), die zwischen ein Potential auf dem zweiten Logikpegel und den vorbestimmten externen Anschluß (23) geschaltet ist, und eine Steuereinrichtung (71-73) aufweist, die vom Signal abhängig ist, das in der Halteeinrichtung (8) gehalten wird, zum Steuern der ersten und zweiten Schalteinrichtung.

11. Halbleiterspeichereinrichtung nach Anspruch 10, dadurch gekennzeichnet, daß die Steuereinrichtung (71-73) vom Signal auf dem vorbestimmten Logikpegel abhängig ist, das in der Halteeinrichtung (8) gehalten wird, zum Durchschalten der ersten Schalteinrichtung (76) und zum Sperren der zweiten Schalteinrichtung (77).

12. Halbleiterspeichereinrichtung nach Anspruch 11, dadurch gekennzeichnet, daß die Steuereinrichtung (71-73) in Abhängigkeit von einem vorbestimmten Aktivierungssignal (Φ) aktiviert wird.

13. Halbleiterspeichereinrichtung nach Anspruch 12, dadurch gekennzeichnet, daß die Steuereinrichtung (71-73) eine erste Logikschaltkreiseinrichtung (72, 74) zum Bilden eines logischen Produktsignals aus dem Signal, das in der Halteeinrichtung (8) gehalten wird, und dem vorbestimmten Aktivierungssignal (Φ), eine Invertereinrichtung (71) zum Invertieren des Signals, das in der Halteeinrichtung (8) gehalten wird, und eine zweite Logikschaltkreiseinrichtung (73, 75) zum Bilden eines logischen Produktsignals aus dem Signal, das von der Invertereinrichtung (71) invertiert wird, und dem vorbestimmten Aktivierungssignal (Φ), aufweist, wobei die erste Schalteinrichtung (76) vom Signal gesteuert wird, das von der ersten Logikschaltkreiseinrichtung (72, 74) gebildet wird, und die zweite Schalteinrichtung (77) vom Signal gesteuert wird, das von der zweiten Logikschaltkreiseinrichtung (73, 75) gebildet wird.

14. Halbleiterspeichereinrichtung nach Anspruch 13, dadurch gekennzeichnet, daß die erste Schalteinrichtung (76) ein erstes Feldeffekt-Halbleiterelement (76) aufweist, mit einem ersten Leitungsanschluß zum Empfangen eines Potentials auf dem ersten Logikpegel, einem zweiten Leitungsanschluß, der mit dem vorbestimmten externen Anschluß (23) verbunden ist, und einem Steueranschluß, der das Signal empfängt, das von der ersten Logikschaltkreiseinrichtung (72, 74) gebildet wird, und daß die zweite Schalteinrichtung (77) ein zweites Feldeffekt-Halbleiterelement (77) aufweist, mit einem ersten Leitungsanschluß zum Empfangen eines Potentials auf dem zweiten Logikpegel, einem zweiten Leitungsanschluß, der mit dem vorbestimmten externen Anschluß (23) verbunden ist, und einem Steueranschluß, der das Signal empfängt, das von der zweiten Logikschaltkreiseinrichtung (73, 75) gebildet wird.

15. Halbleiterspeichereinrichtung nach Anspruch 14, dadurch gekennzeichnet, daß der erste Logikpegel ein hoher Pegel, der zweite Logikpegel ein niedriger Pegel und die Polarität des ersten und zweiten Feldeffekt-Halbleiterelements vom N-Typ ist.

16. Halbleiterspeichereinrichtung nach Anspruch 15, dadurch gekennzeichnet, daß die erste und zweite Logikschaltkreiseinrichtung (72-75) jeweils ein 2-Eingangs-NAND-Gatter (72, 73) und einen Inverter (74, 75) zum Invertieren des Aus-

gangssignals des NAND-Gatters (72, 73) aufweist.

17. Halbleiterspeichereinrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die Halteeinrichtung (8) einen ersten Knoten (N1) zum Empfangen eines Ausgangssignals der Steuersignal-Ausgabereinrichtung (21-1 bis 21-n, 44-1 bis 44-n), einen zweiten Knoten (N4), einen dritten Knoten (N3), eine Steuersignal-Erfassungseinrichtung (6) zum Anlegen eines Signals auf dem vorbestimmten Logikpegel an den zweiten Knoten N4, wenn das Potential von mindestens dem ersten Knoten (N1) oder dem dritten Knoten (N3) denselben Pegel besitzt wie der Pegel des Steuersignals (SRE1-SREn, SCE1-SCEn), und eine Fixierungseinrichtung (7), die davon abhängig ist, daß das Potential des zweiten Knotens (N4) den vorbestimmten Logikpegel erreicht, zum Fixieren des Potentials des dritten Knotens (N3) auf demselben Pegel wie der Pegel des Steuersignals (SRE1-SREn, SCE1-SCEn) aufweist.

18. Halbleiterspeichereinrichtung nach Anspruch 17, dadurch gekennzeichnet, daß die Steuersignal-Erfassungseinrichtung (6) eine erste Logikschaltkreiseinrichtung (6, 11) zum Bilden eines logischen Produktsignals aus dem Potential des ersten Knotens und dem Potential des dritten Knotens aufweist, und daß die Fixierungseinrichtung (7) eine zweite Logikschaltkreiseinrichtung (7) zum Bilden eines logischen Produktsignals aus dem Potential des zweiten Knotens (N4) und dem Potential auf dem vorbestimmten Logikpegel aufweist.

19. Halbleiterspeichereinrichtung nach Anspruch 17 oder 18, gekennzeichnet durch eine Rückstellereinrichtung (300) zum Rückstellen des Potentials des zweiten Knotens auf einen Logikpegel, der dem vorbestimmten Logikpegel entgegengesetzt ist, wenn die Halbleiterspeichereinrichtung zu arbeiten beginnt.

20. Halbleiterspeichereinrichtung, aufweisend ein normales Speicherzellenfeld (31-1 bis 31-n) mit einer Mehrzahl von normalen Speicherzellen (MC), die in einer Mehrzahl von Zeilen und Spalten angeordnet sind, ein erstes Ersatzspeicherzellenfeld (33-1 bis 33-n) mit ersten Ersatzspeicherzellen (SMC), die die Speicherzellen in einer der Mehrzahl von Zeilen ersetzen können, ein zweites Ersatzspeicherzellenfeld (32-1 bis 32-n) mit zweiten Ersatzspeicherzellen (SMC), die die normalen Speicherzellen (MC) in einer der Mehrzahl von Spalten ersetzen können, eine erste normale Auswahlereinrichtung (25-1 bis 25-n) zum Auswählen von einer der normalen Speicherzellen (MC), die in einer der Mehrzahl von Zeilen angeordnet sind, zum Schreiben und Lesen von Daten, eine zweite normale Auswahlereinrichtung (42-1 bis 42-n) zum Auswählen von einer der normalen Speicherzellen (MC), die in einer der Mehrzahl von Spalten angeordnet sind, zum Schreiben und Lesen von Daten, eine erste Ersatzauswahlereinrichtung (24-1 bis 24-n) zum Auswählen von einer der ersten Ersatzspeicherzellen (SMC) anstelle von einer der Mehrzahl normaler Speicherzellen (MC), eine zweite Ersatzauswahlereinrichtung (41-1 bis 41-n) zum Auswählen von einer der zweiten Ersatzspeicherzellen (SMC) anstelle von einer der Mehr-

zahl normaler Speicherzellen (MC),
 eine erste Steuersignal-Ausgabeeinrichtung (21-1 bis 21-n) zum Ausgeben eines ersten Steuersignals (SRE1—SREn), das die erste Ersatzauswahleinrichtung (24-1 bis 24-n) aktiviert und die erste normale Auswahleinrichtung (25-1 bis 25-n) deaktiviert, um das erste Ersatzspeicherzellenfeld (33-1 bis 33-n) zu benutzen,
 eine zweite Steuersignal-Ausgabeeinrichtung (44-1 bis 44-n) zum Ausgeben eines zweiten Steuersignals (SCE1—SCEn), das die zweite Ersatzauswahleinrichtung (41-1 bis 41-n) aktiviert und die zweite normale Auswahleinrichtung (42-1 bis 42-n) deaktiviert, um das zweite Ersatzspeicherzellenfeld (32-1 bis 32-n) zu benutzen,
 eine erste elektrische Schaltkreiseinrichtung (22a-1 bis 22a-n, 22c), die so eingestellt ist, daß sie ein bestimmtes erstes elektrisches Signal an einen ersten externen Anschluß (23) in Abhängigkeit vom ersten Steuersignal (SRE1—SREn) ausgibt, und eine zweite elektrische Schaltkreiseinrichtung (22b-1 bis 22b-n, 22d), die so eingestellt ist, daß sie ein bestimmtes zweites elektrisches Signal an einen zweiten externen Anschluß (23) in Abhängigkeit vom zweiten Steuersignal (SCE1—SCEn) ausgibt.
 21. Halbleiterspeichereinrichtung nach Anspruch 20, dadurch gekennzeichnet, daß die erste elektrische Schaltkreiseinrichtung (22a-1 bis 22a-n), eine erste Halteeinrichtung (80), die vom ersten Steuersignal (SRE1—SREn) abhängig ist, zum Halten eines Signals auf einem vorbestimmten Logikpegel, und eine erste Ausgabeeinrichtung (10), die von einem Signal auf dem vorbestimmten Logikpegel abhängig ist, das in der ersten Halteeinrichtung (80) gehalten wird, zum Ausgeben des ersten vorbestimmten elektrischen Signals an den ersten externen Anschluß (23) aufweist, und daß die zweite elektrische Schaltkreiseinrichtung (22b-1 bis 22b-n) eine zweite Halteeinrichtung (80), die vom zweiten Steuersignal (SCE1—SCEn) abhängig ist, zum Halten eines Signals auf einem vorbestimmten Logikpegel, und eine zweite Ausgabeeinrichtung (10), die vom Signal auf dem vorbestimmten Logikpegel abhängig ist, das in der zweiten Halteeinrichtung (80) gehalten wird, zum Ausgeben des zweiten vorbestimmten elektrischen Signals an den zweiten externen Anschluß (23) aufweist.
 22. Halbleiterspeichereinrichtung, aufweisend ein normales Speicherzellenfeld (31-1 bis 31-n) mit einer Mehrzahl von normalen Speicherzellen (MC), die in einer Mehrzahl von Zeilen und Spalten angeordnet sind,
 ein erstes Ersatzspeicherzellenfeld (33-1 bis 33-n) mit ersten Ersatzspeicherzellen (SMC), die die Speicherzellen in einer der Mehrzahl von Zeilen ersetzen können,
 ein zweites Ersatzspeicherzellenfeld (32-1 bis 32-n) mit zweiten Ersatzspeicherzellen (SMC), die die normalen Speicherzellen (MC) in einer der Mehrzahl von Spalten ersetzen können,
 eine erste normale Auswahleinrichtung (25-1 bis 25-n) zum Auswählen der normalen Speicherzellen (MC), die in einer der Mehrzahl von Zeilen angeordnet sind, zum Schreiben und Lesen von Daten,
 eine zweite normale Auswahlrichtung (42-1 bis 42-n) zum Auswählen der normalen Speicherzellen

(MC), die in einer der Mehrzahl von Spalten angeordnet sind, zum Schreiben und Lesen von Daten,
 eine erste Ersatzauswahleinrichtung (24-1 bis 24-n) zum Auswählen von einer der ersten Ersatzspeicherzellen (SMC) anstelle von einer der Mehrzahl normaler Speicherzellen (MC),
 eine zweite Ersatzauswahleinrichtung (41-1 bis 41-n) zum Auswählen von einer der zweiten Ersatzspeicherzellen (SMC) anstelle von einer der Mehrzahl normaler Speicherzellen (MC),
 eine erste Steuersignal-Ausgabeeinrichtung (21-1 bis 21-n) zum Ausgeben eines ersten Steuersignals (SRE1—SREn), das die erste Ersatzauswahleinrichtung (24-1 bis 24-n) aktiviert und die erste normale Auswahleinrichtung (25-1 bis 25-n) deaktiviert, um das erste Ersatzspeicherzellenfeld (33-1 bis 33-n) zu benutzen,
 eine zweite Steuersignal-Ausgabeeinrichtung (44-1 bis 44-n) zum Ausgeben eines zweiten Steuersignals (SCE1—SCEn), das die zweite Ersatzauswahleinrichtung (41-1 bis 41-n) aktiviert und die zweite normale Auswahleinrichtung (42-1 bis 42-n) deaktiviert, um das zweite Ersatzspeicherzellenfeld (32-1 bis 32-n) zu benutzen, und eine elektrische Schaltkreiseinrichtung (22e), die so eingestellt ist, daß sie ein bestimmtes erstes elektrisches Signal an einen ersten externen Anschluß (23) in Abhängigkeit vom ersten Steuersignal (SRE1—SREn) und zweiten Steuersignal (SCE1—SCEn) ausgibt.
 23. Halbleiterspeichereinrichtung nach Anspruch 22, dadurch gekennzeichnet, daß die elektrische Schaltkreiseinrichtung (22e) eine erste Halteeinrichtung (80), die vom ersten Steuersignal (SRE1—SREn) abhängig ist, zum Halten eines Signals auf einem vorbestimmten Logikpegel, eine zweite Halteeinrichtung (80), die vom zweiten Steuersignal (SCE1—SCEn) abhängig ist, zum Halten eines Signals auf einem vorbestimmten Logikpegel, eine Erfassungseinrichtung (60) zum Erfassen, daß mindestens eines der Signale, die in der ersten Halteeinrichtung (80) und der zweiten Halteeinrichtung (80) gehalten werden, ein Signal auf dem vorbestimmten Logikpegel darstellt, und eine Ausgabeeinrichtung (10), die von einem Erfassungsausgangssignal der Erfassungseinrichtung (60) abhängig ist, zum Ausgeben des vorbestimmten elektrischen Signals an den vorbestimmten externen Anschluß (23) aufweist.
 24. Verfahren zum Bestimmen, ob ein Ersatzspeicherzellenfeld (32-1 bis 32-n, 33-1 bis 33-n) benutzt wird oder nicht, aus einem Signal, das einem externen Anschluß (23) in einer Halbleiterspeichereinrichtung zugeführt wird, die ein normales Speicherzellenfeld (31-1 bis 31-n) mit einer Mehrzahl von normalen Speicherzellen (MC), das Ersatzspeicherzellenfeld (32-1 bis 32-n, 33-1 bis 33-n) mit Ersatzspeicherzellen (SMC), die jeweils eine der Mehrzahl normaler Speicherzellen (MC) ersetzen können, den externen Anschluß (23), eine normale Auswahleinrichtung (25-1 bis 25-n, 42-1 bis 42-n) zum Auswählen von einer der Mehrzahl normaler Speicherzellen (MC) zum Schreiben und Lesen von Daten, eine Ersatzauswahleinrichtung (24-1 bis 24-n, 41-1 bis 41-n) zum Auswählen von einer der Ersatzspeicherzellen (SMC) anstelle von einer der Mehrzahl normaler Speicherzellen (MC), und eine elek-

trische Schaltkreiseinrichtung (22a-1 bis 22a-n, 22b-1 bis 22b-n, 22c, 22d, 22e) zum Ausgeben eines bestimmten elektrischen Signals, das angibt, daß das Ersatzspeicherzellenfeld (32-1 bis 32-n, 33-1 bis 33-n) benutzt wird, aufweist, gekennzeichnet durch die Schritte:

Erzeugen eines Steuersignals (SRE1—SREn, SCE1—SCEn), das die Ersatzauswahleinrichtung (24-1 bis 24-n, 41-1 bis 41-n) aktiviert und die normale Auswahleinrichtung deaktiviert, um das Ersatzspeicherzellenfeld (32-1 bis 32-n, 33-1 bis 33-n) zu benutzen, und
Betreiben der elektrischen Schaltkreiseinrichtung in Abhängigkeit vom Steuersignal.

Hierzu 12 Seite(n) Zeichnungen

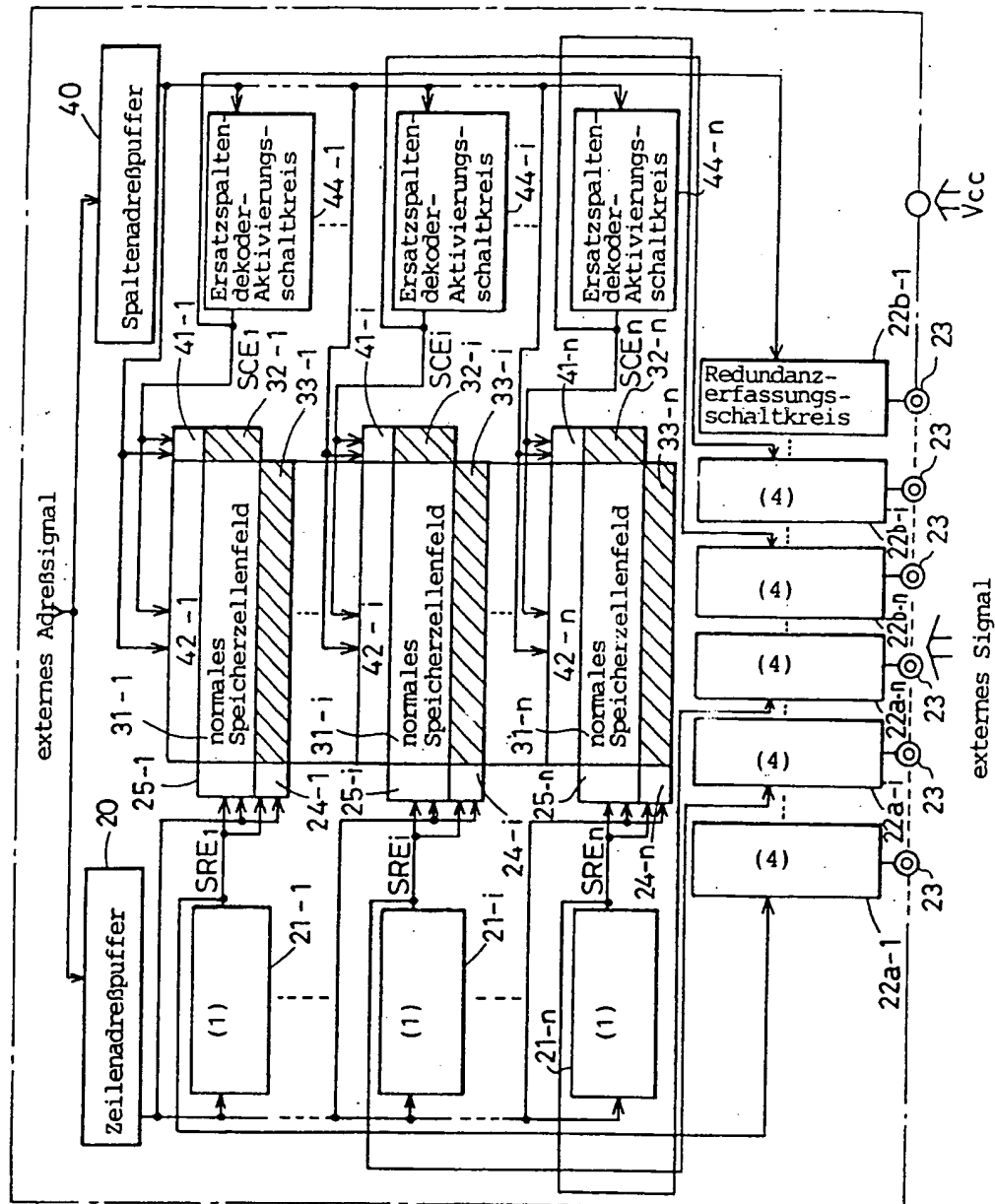


FIG. 1

(1) Ersatzzeilen-
dekoder-
Aktivierungs-
schaltkreis

(4) Redundanz-
erfassungs-
schaltkreis

FIG. 2

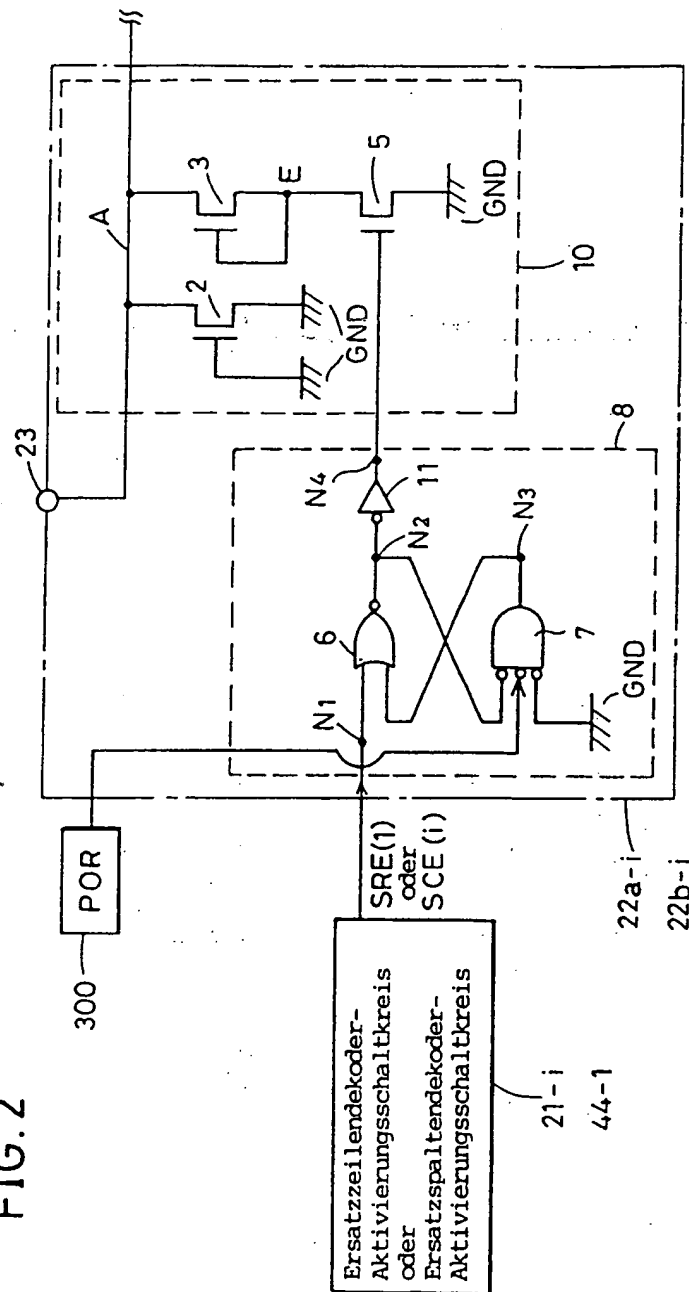


FIG. 3

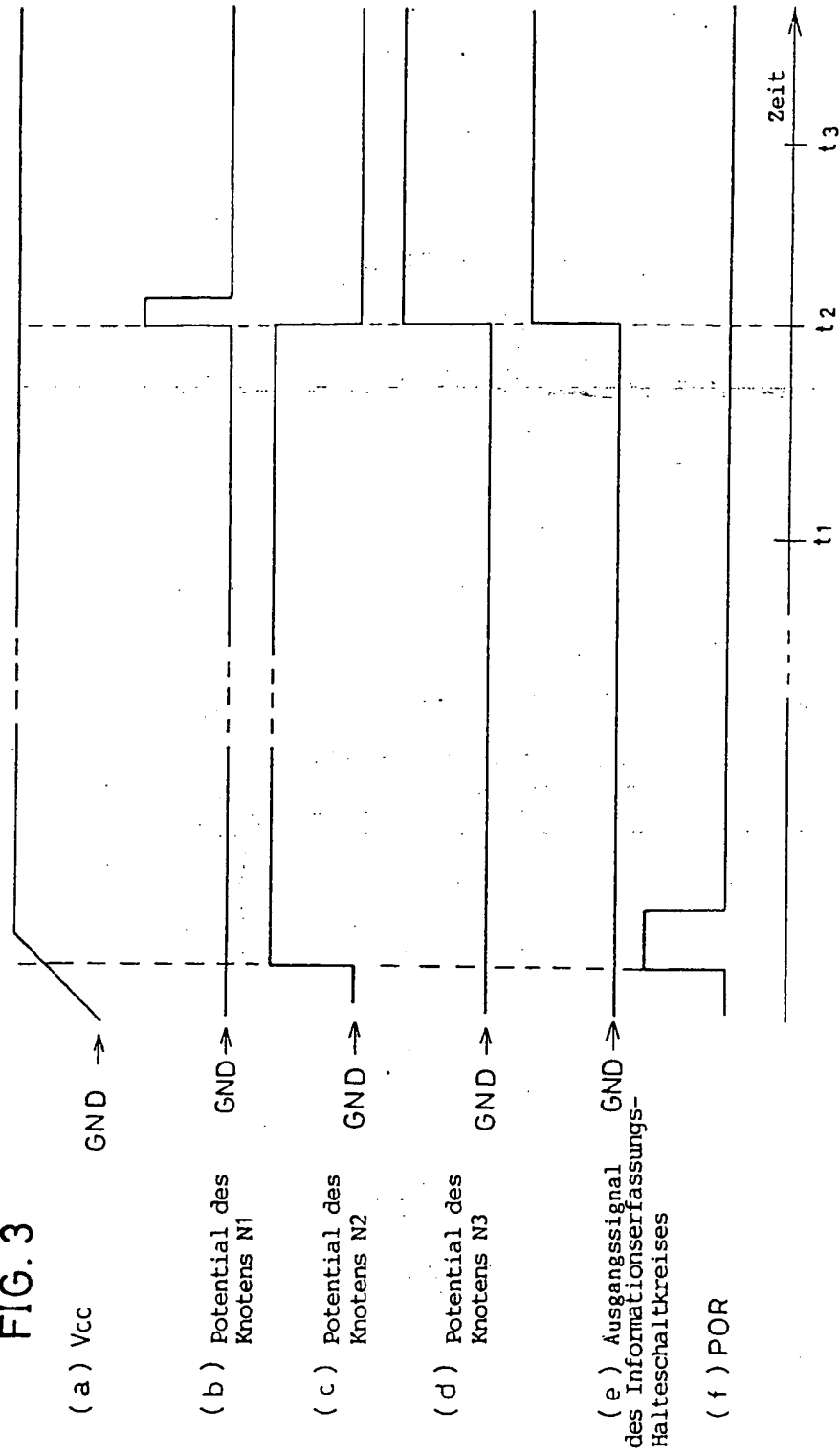
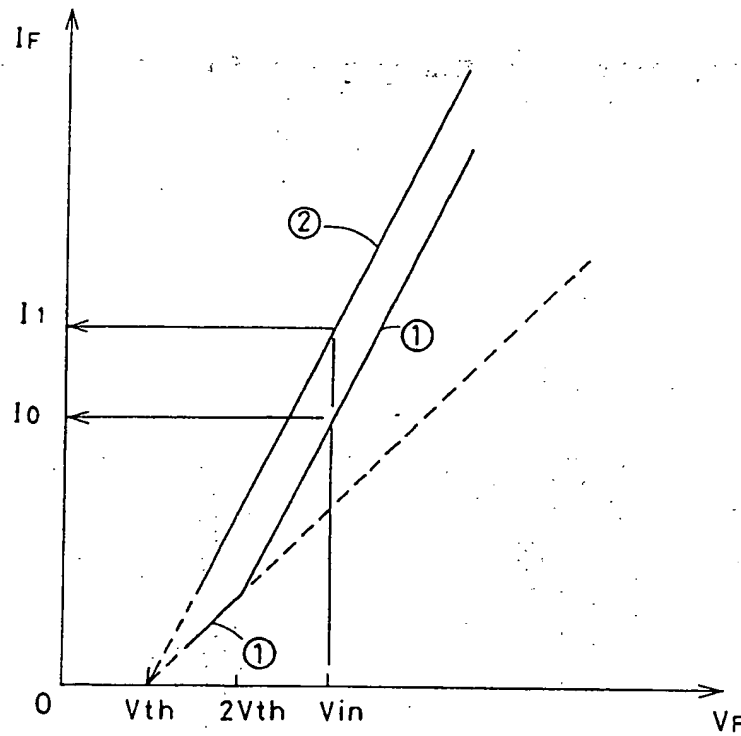


FIG. 4



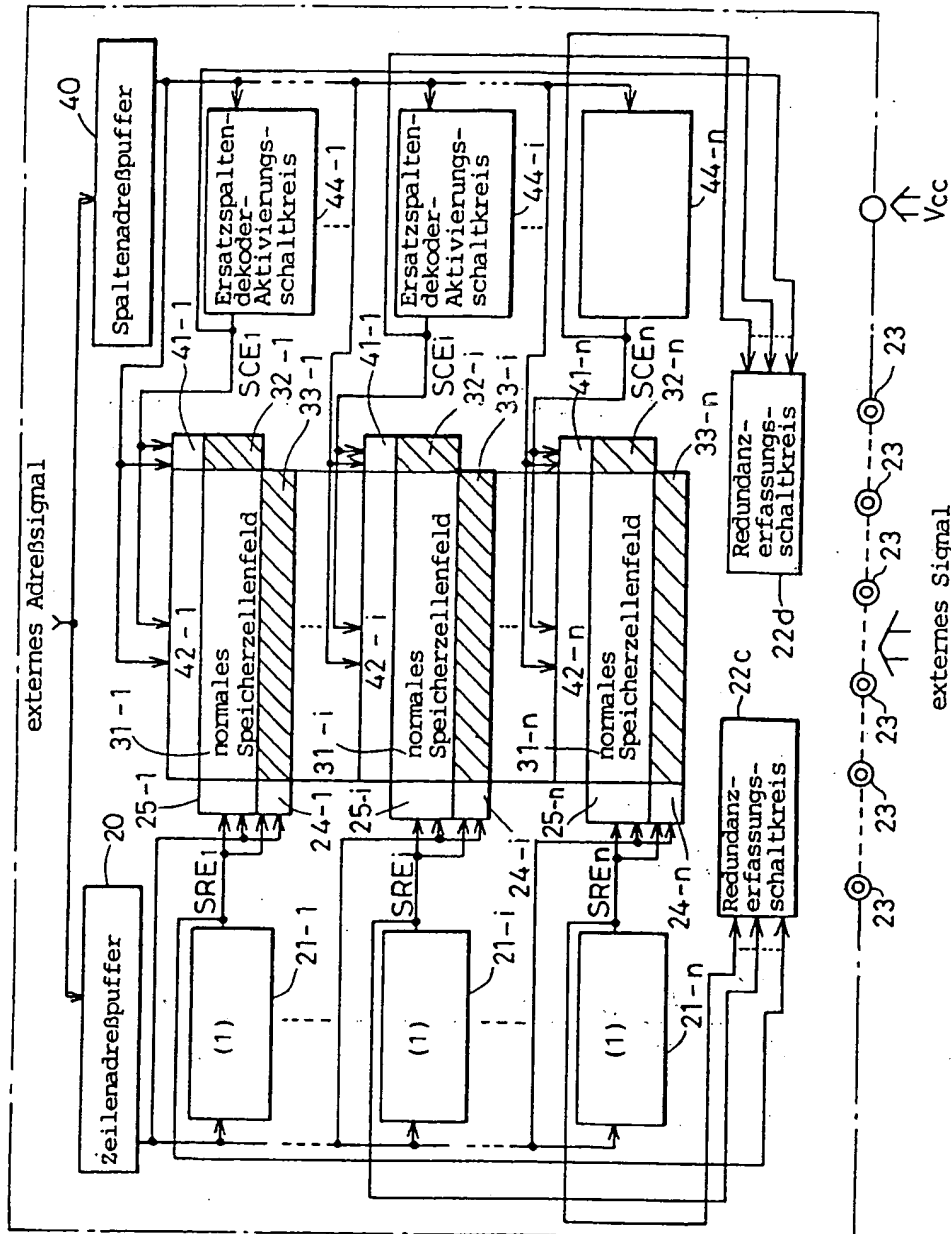
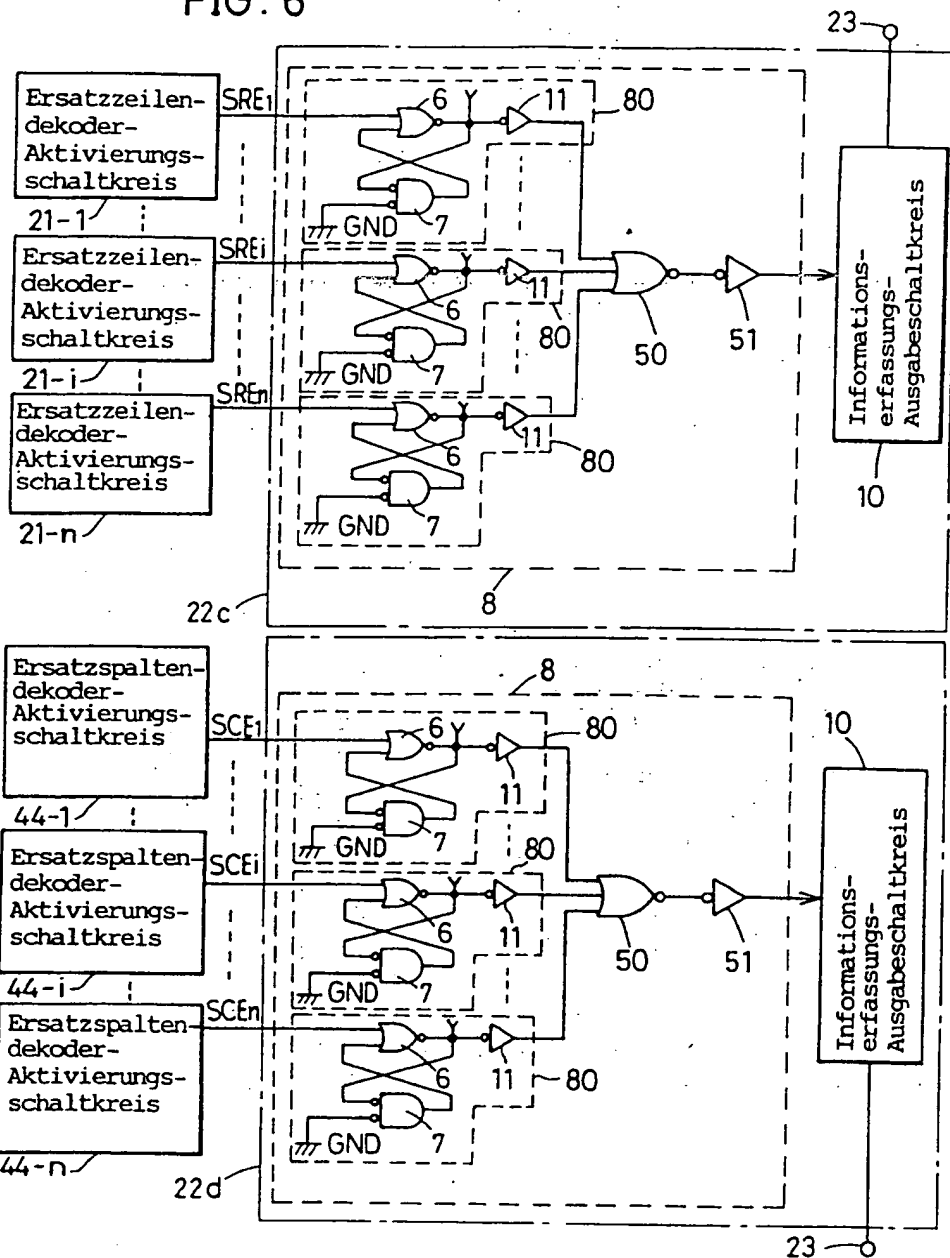


FIG.5

(1)
Ersatzzeilen-
dekoder-
Aktivierungs-
schaltkreis

FIG. 6



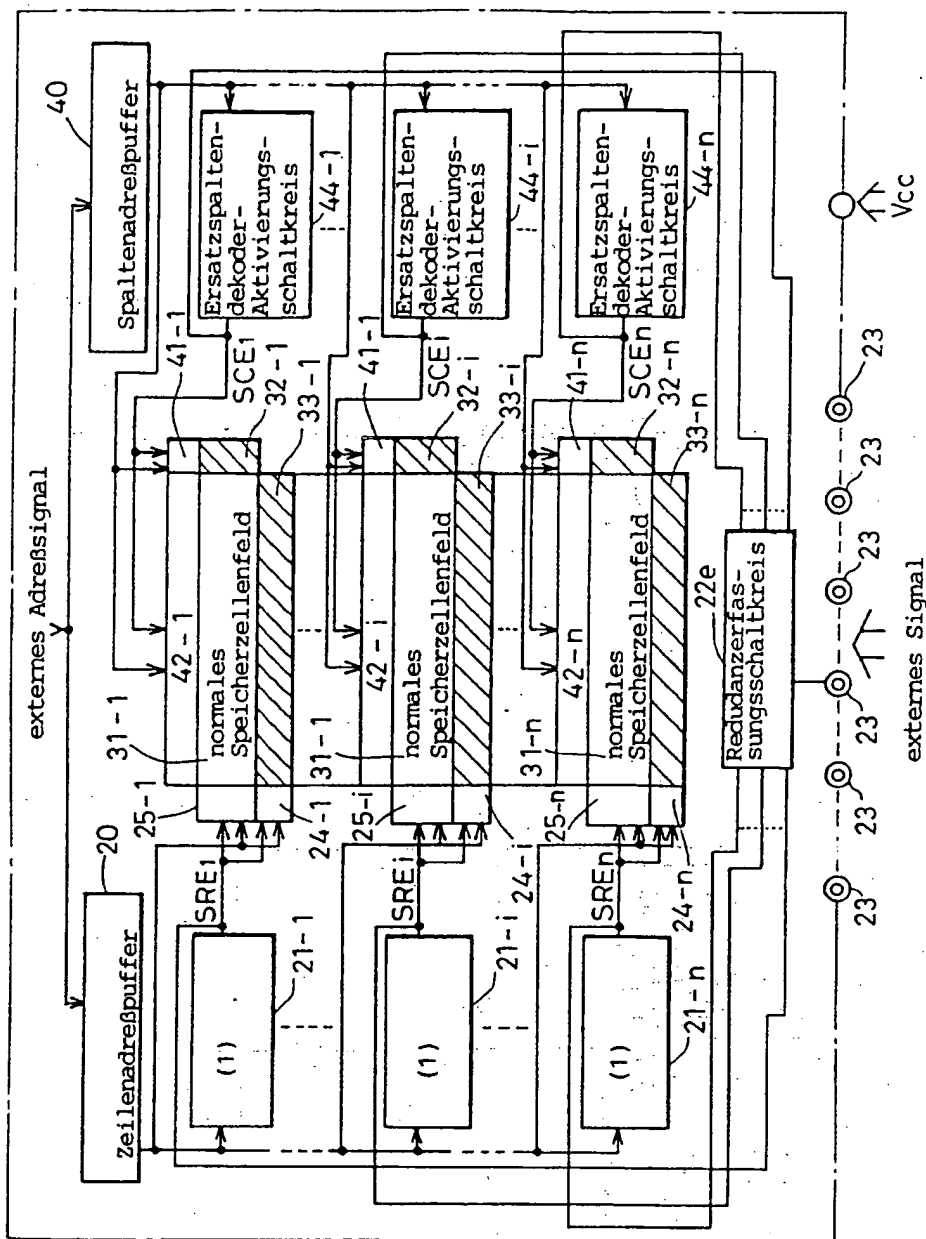
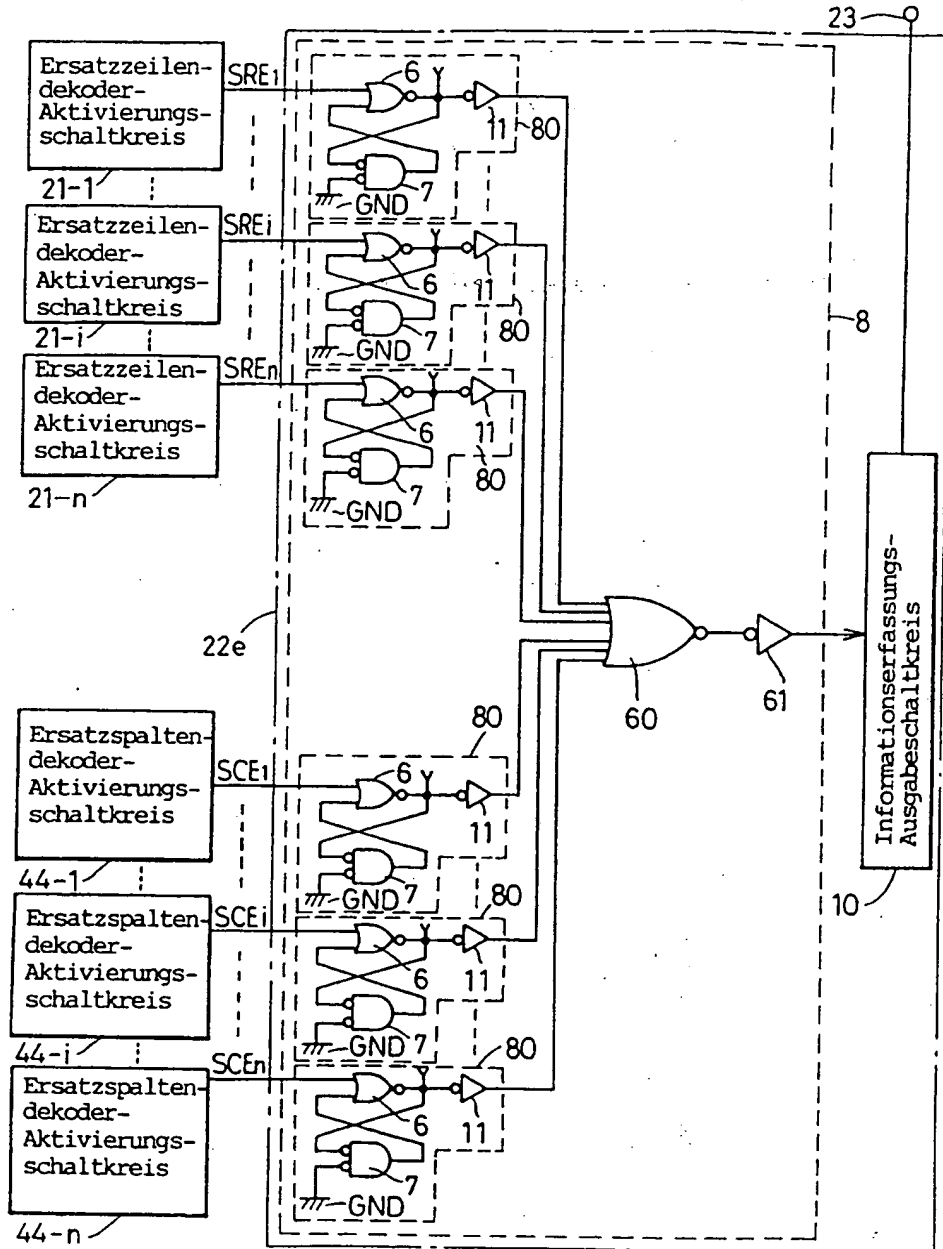


FIG.7

(1) Ersatzzeilendekoder-Aktivierungsschaltkreis

FIG. 8



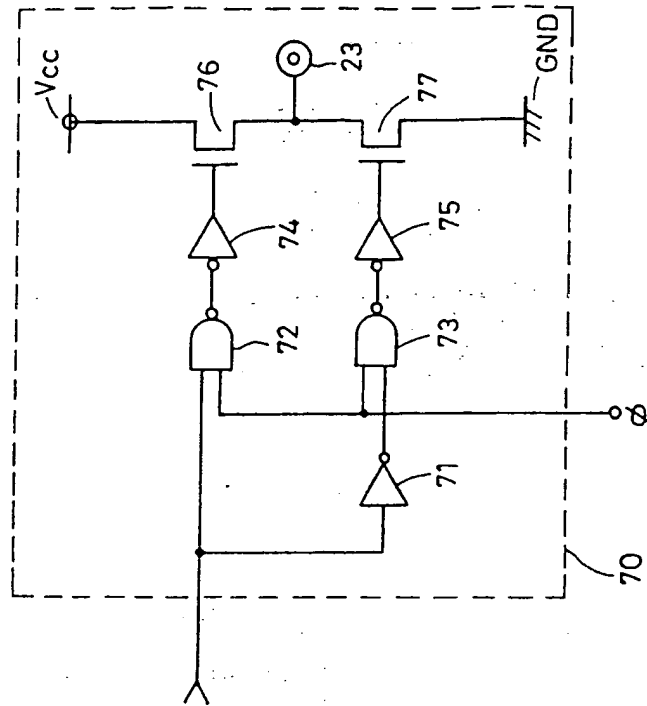


FIG. 9

Ausgangssignal des
Informationserfassungs-
Halteschaltkreises

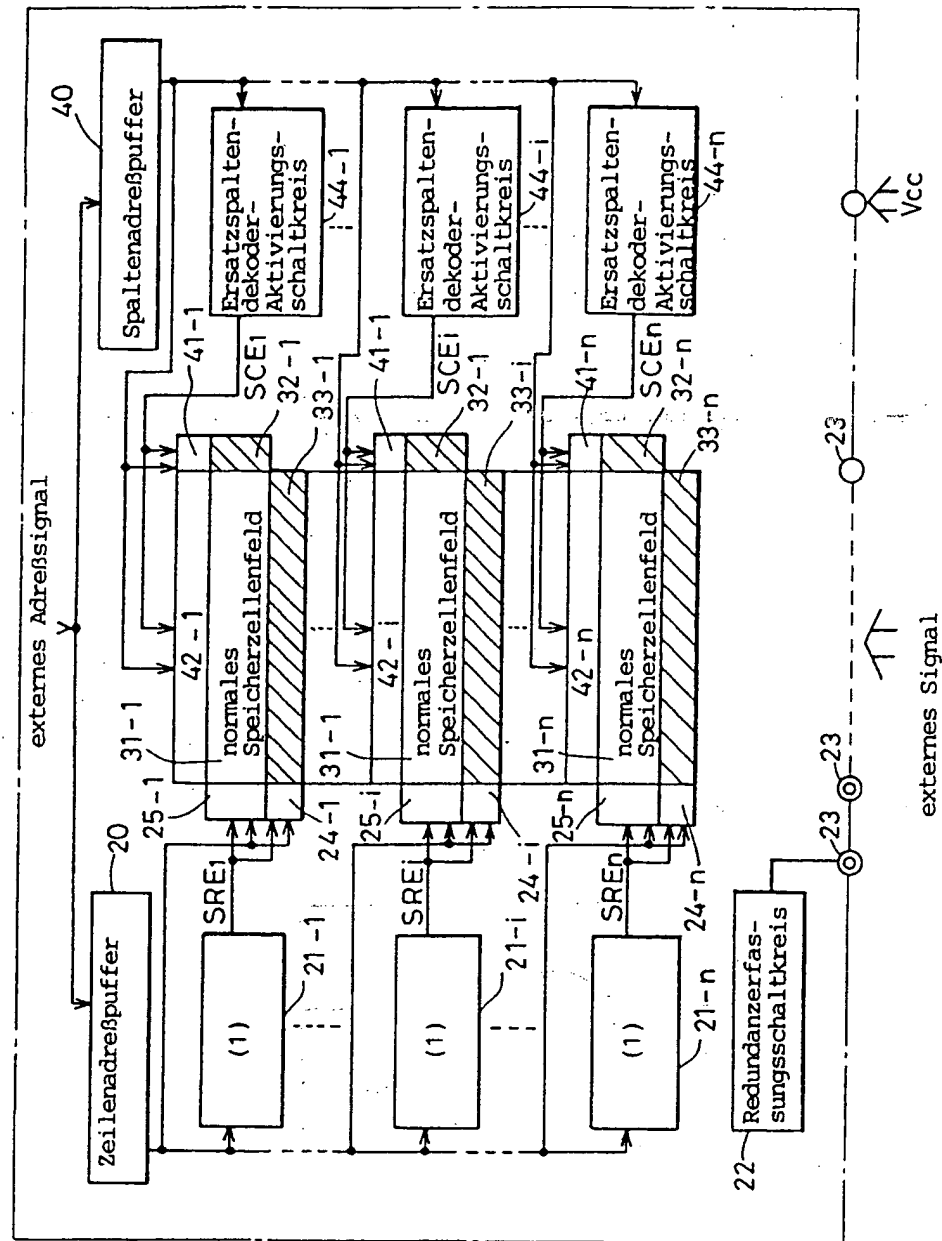


FIG.10

(1)
Ersatzzeilen-
dekoder-
Aktivierungs-
schaltkreis

9. Juni 1993

FIG. 11

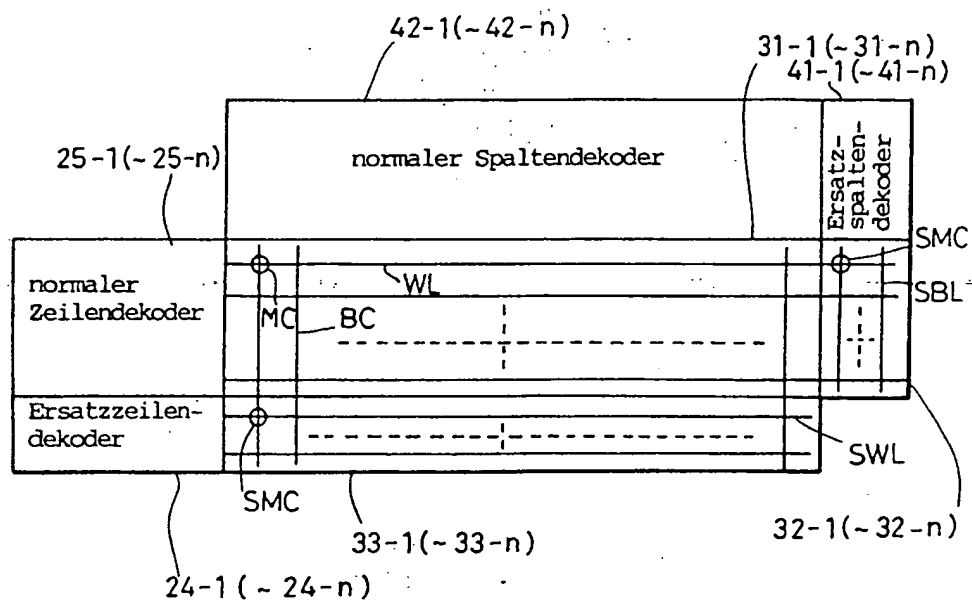


FIG. 12

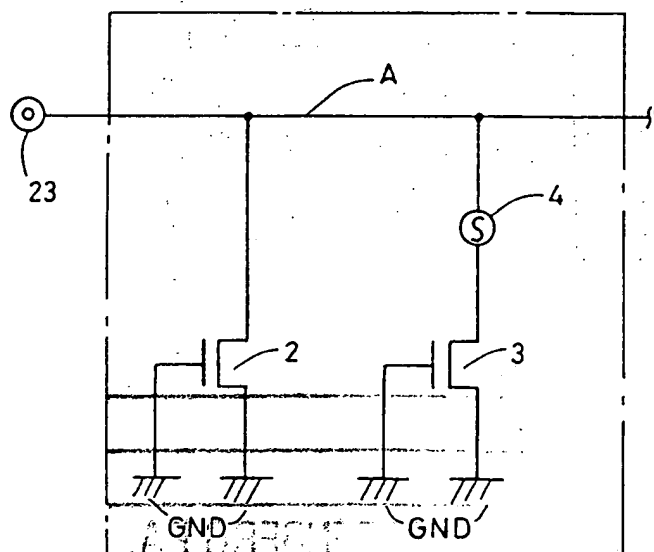
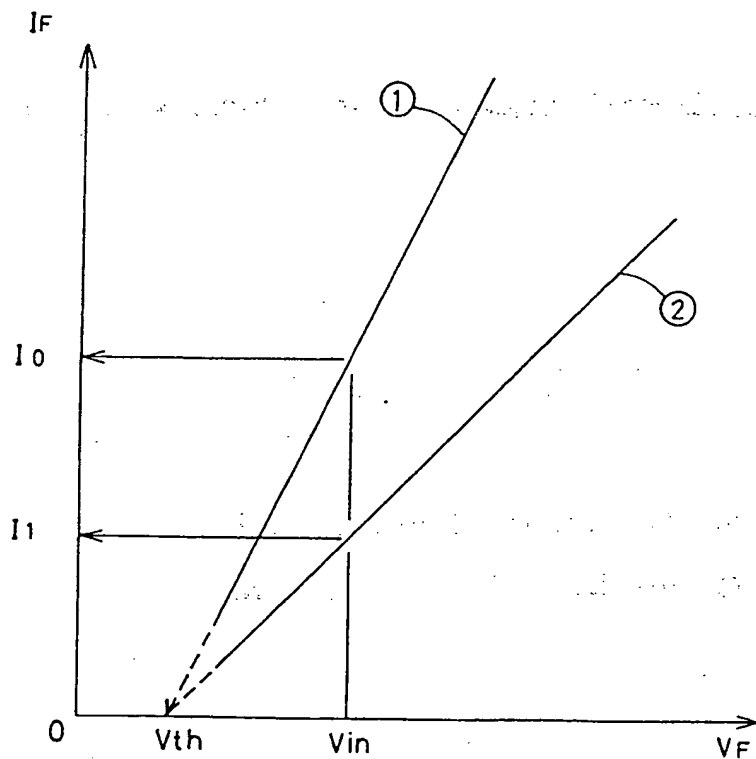


FIG.13



DOCKET NO: INF-P10391

SERIAL NO: 09/718,937

APPLICANT: Pöckmüller

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (554) 525-1100